

Herstellung und Charakterisierung oxidischer Feld-Effekt-Transistoren und integrierter Schaltkreise

Rainer Jany

Angaben zur Veröffentlichung / Publication details:

Jany, Rainer. 2013. "Herstellung und Charakterisierung oxidischer Feld-Effekt-Transistoren und integrierter Schaltkreise." Augsburg: Universität Augsburg.

Nutzungsbedingungen / Terms of use:

licgercopyright

Dieses Dokument wird unter folgenden Bedingungen zur Verfügung gestellt: / This document is made available under these conditions:

Deutsches Urheberrecht

Weitere Informationen finden Sie unter: / For more information see:

<https://www.uni-augsburg.de/de/organisation/bibliothek/publizieren-zitieren-archivieren/publiz/>



Dissertation zur Erlangung des Doktorgrades der
Mathematisch-Naturwissenschaftlichen Fakultät der
Universität Augsburg

**Herstellung und Charakterisierung oxidischer
Feld-Effekt-Transistoren und integrierter Schaltkreise**

Rainer Jany
Lehrstuhl Experimentalphysik 6
Universität Augsburg

Erster Gutachter: Prof. Dr. Jochen Mannhart
Max-Planck-Institut für Festkörperforschung

Zweiter Gutachter: Prof. Dr. Achim Wixforth
Universität Augsburg

Tag der mündlichen Prüfung: 03.05.2013

Inhaltsverzeichnis

1	Einleitung	4
1.1	Feld-Effekt-Transistoren und Probleme der Skalierung	7
1.2	Ansätze zur Lösung von Skalierungsproblemen	18
2	Funktionale oxidische Heterostrukturen	19
2.1	Einführung in die Struktur und elektronischen Eigenschaften von Oxiden .	19
2.2	Einführung in die elektronischen Eigenschaften oxidischer Grenzflächen .	23
2.3	Die n -Typ $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche als Modellsystem	25
3	Herstellung oxidischer Strukturen	34
3.1	Substratpräparation	34
3.2	Schichtherstellung mittels gepulster Laserablation	35
3.3	Kontaktierung der Grenzflächen	42
3.4	Herstellung weiterer oxidischer Schichten	43
4	Strukturierung des $\text{LaAlO}_3/\text{SrTiO}_3$-Elektronensystems	49
4.1	Strukturierung des elektronischen Systems mittels optischer Photolitho- graphie und Elektronenstrahlolithographie	49
4.2	Herstellung zweier Typen von Transistoren	54
4.3	Strukturierung des elektronischen Systems mittels modifizierter Raster- kraftmikroskopie	63
5	Eigenschaften und Anwendung oxidischer Feld-Effekt-Transistoren	74
5.1	Feld-Effekt-Transistoren vom Typ 1	74
5.2	Feld-Effekt Transistoren vom Typ 2	83
5.3	Vergleich beider Transistortypen	94
5.4	Realisierung eines integrierten Schaltkreises (IC)	97
6	Zusammenfassung und Ausblick	111
A	Zusammenarbeiten	115
B	Kapazitätsbestimmungen	122

1 Einleitung

Transistoren haben die Entwicklung unserer Gesellschaft auf unvorhersehbare Weise verändert. Nahezu jedes elektronische Gerät in einem Haushalt, am Arbeitsplatz, im Labor oder im Kfz ist mit Mikrochips ausgestattet. Mikrochips enthalten komplexe, integrierte Schaltkreise (ICs). Viele dieser Chips enthalten Millionen von Feld-Effekt-Transistoren (FETs), kleine elektronische Schalter. Die meisten dieser Schalter bestehen überwiegend aus Silizium.

Das Funktionsprinzip von Feld-Effekt-Transistoren ist sehr einfach. Mit elektrischen Feldern lässt sich ein Kanal zwischen elektrisch leitend und elektrisch isolierend umschalten. Die ersten Patente zu Feld-Effekt-Transistoren wurden von J. E. Lilienfeld 1926-28 und O. Heil 1935 verfasst [1, 2]. Trotzdem setzten sich in der Entwicklung zuerst sogenannte bipolare Transistoren durch. Für die experimentelle Entdeckung des Transistor-Effekts im Jahr 1947 bekamen J. Bardeen, W. H. Brattain und W. B. Shockley den Nobelpreis [3]. Der erste Silizium-Siliziumdioxid-basierte Feld-Effekt-Transistor wurde erst im Jahr 1960 von D. Kahng realisiert [4].

Vor dem Einsatz von Transistoren wurden zuerst Relais, später Vakuumröhren, als elektrische Schalter benutzt. Der erste Computer basierend auf Vakuumröhren-Technologie war ENIAC im Jahr 1946. Diese Maschine bestand aus 18000 Röhren und benötigte eine Zimmerfläche von $10 \times 15 \text{ m}^2$ [3]. 1958 erschien die IBM 7000 Serie mit circa 30000 bipolaren Transistoren [4]. Seit den 60er Jahren wurden zunehmend Feld-Effekt-Transistoren weiter entwickelt. Heute beinhaltet praktisch jeder Computerprozessor FETs basierend auf Metall-Oxid-Halbleiter-Strukturen (MOSFET).

Feld-Effekt-Transistoren wurden und werden stetig verkleinert. Mit der Verkleinerung von FETs steigt die Anzahl der FETs pro Chip und damit die Leistungsfähigkeit dieser Chips. Im Jahr 1965 formulierte G. Moore ein Gesetz, nach dem sich die auf einem Chip integrierte Anzahl an Transistoren jedes Jahr verdoppeln sollte [5]. Abbildung 1 stellt den zeitlichen Verlauf der maximalen Anzahl an Transistoren, die zur jeweiligen Zeit auf einem Mikrochip enthalten waren, dar [3]. Durch die schnell wachsende Anzahl der Transistoren pro Chip haben sich die Kosten pro Transistor ebenfalls stark verändert. Im Jahr 1954 betrug der Preis eines (bipolaren) Transistors 5,52 USD, im Jahr 2004 (FET) nur noch 10^{-9} USD [6].

Die charakteristischen Eigenschaften von Feld-Effekt-Transistoren werden festgelegt zum Beispiel durch ihre räumlichen Dimensionen, die verwendeten Materialien und der Grad der Dotierung. Eine Art der Verkleinerung von FETs heißt Skalierung oder auch *scaling*. Wenn bei der Skalierung von FETs ihre räumlichen Dimensionen nach gleichem Maßstab wie ihre Betriebsspannungen reduziert werden, spricht man auch vom *constant-field scaling* [7]. Man versucht beim *constant-field scaling* also, die in den FETs auftretenden elektrischen Felder gleich zu lassen. Mit fortschreitender Skalierung treten allerdings massive Probleme auf. Spätestens beim Erreichen der Dimension eines einzelnen Atoms ist eine weitere Reduzierung nicht mehr denkbar. Doch schon bevor dieses physikalische

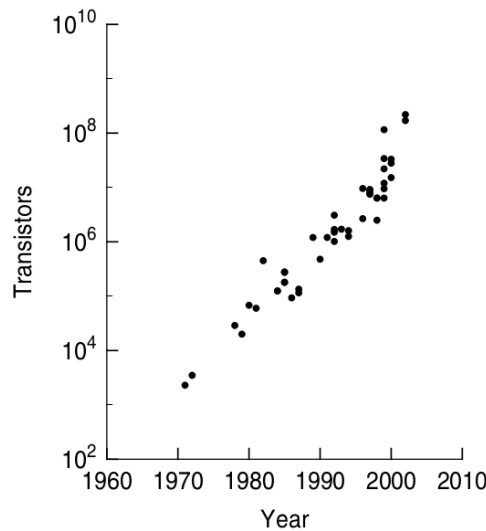


Abbildung 1

Zeitlicher Verlauf der maximalen Anzahl an Transistoren, die zum jeweils dargestellten Zeitpunkt auf einem Mikrochip enthaltenen waren. Grafik aus [3].

Limit erreicht wird erschweren zahlreiche Probleme die Skalierung. Bei immer kleineren Abständen und immer dünneren Isolationsschichten nehmen unerwünschte Ströme, wie beispielsweise durch tunnelnde Elektronen, zu. Die Probleme führen dazu, dass FETs die Ströme gar nicht mehr kontrollieren können. Um dies zu vermeiden werden manche Größen nicht so skaliert, wie es das *constant-field scaling* vorsieht. Die Verkleinerung von Transistoren wurde bis heute erfolgreich vorangetrieben. Das liegt vor allem daran, dass die Materialklasse der Halbleiter sehr gut verstanden ist. Trotzdem wird aufgrund zunehmender Probleme diskutiert, welche Alternativen an Materialien und Materialkombinationen nach dem Ende konventioneller Skalierung verwendet werden könnten [8, 9].

Eine interessante Materialklasse ist die der Oxide. In vielen oxidischen Materialien treten, im Gegensatz zu Halbleitern wie Silizium oder Germanium, teilweise gefüllte *d*- und *f*-Orbitale auf [10]. Viele Oxide besitzen deshalb bereits im Volumenmaterial spannende Eigenschaften wie zum Beispiel Magnetismus, Supraleitfähigkeit, Piezoelektrizität, Ferroelektrizität und sogar Multiferroizität (zum Beispiel Ferroelektrizität und Ferromagnetismus im selben Material). An der Grenzfläche zweier oxidischer Systeme kann es zu neuartigen Effekten kommen, die in den einzelnen Materialien nicht auftreten [10]. Ein System, das in den letzten Jahren intensiv untersucht wurde, ist die $\text{LaAlO}_3/\text{SrTiO}_3$ -Heterostruktur. Dieses System zeigt unter bestimmten Voraussetzungen höchst bemerkenswerte elektronische Eigenschaften. An der Grenzfläche dieser beiden Bandisolatoren bildet sich ein zweidimensionales Elektronensystem aus. Das System $\text{LaAlO}_3/\text{SrTiO}_3$ unterscheidet sich materialbedingt deutlich von Halbleitersystemen.

Diese Arbeit geht der Fragestellung nach, ob sich mit $\text{LaAlO}_3/\text{SrTiO}_3$ -basierten Systemen oxidische Transistoren realisieren lassen und ob ihre Eigenschaften vergleichbar oder

sogar besser sind als die Eigenschaften von Halbleiter-FETs. Treten manche Probleme der Skalierung an oxidischen Systemen vielleicht gar nicht auf?

Um dieser Frage nachgehen zu können, wird im folgenden Abschnitt zuerst die Funktionsweise von Feld-Effekt-Transistoren am Beispiel des Silizium-MOSFETs erklärt. Obwohl FETs beispielsweise auch aus Ge [11], GaAs [12] oder GaN [13] hergestellt werden, stellt der Si-SiO₂-MOSFET den wichtigsten Vertreter der MOSFETs dar [7]. Anschließend wird auf das Thema Skalierung eingegangen. Dann folgt die Darstellung von Problemen, die bei der Skalierung auftreten und der Konsequenzen dieser Probleme.

Das zweite Kapitel dieser Arbeit diskutiert oxidische Materialien sowie oxidische Grenzflächen. Nach einem kurzen Vergleich dieser Systeme mit Halbleitersystemen werden die Materialien vorgestellt, die in dieser Arbeit verwendet und untersucht wurden. Anschließend wird das Modellsystem LaAlO₃/SrTiO₃ vorgestellt. LaAlO₃/SrTiO₃-Grenzflächen werden seit einigen Jahren intensiv untersucht. Im Lauf der Jahre wurden immer wieder neue spannende Eigenschaften dieses Grenzflächensystems gefunden. Am Ende des Kapitels erfolgt eine Diskussion, unter welchen Gesichtspunkten dieses System überhaupt für die Herstellung oxidischer FETs geeignet scheint.

Im dritten Kapitel dieser Arbeit werden die Arbeitsabläufe und Techniken vorgestellt, die für die Probenherstellung in dieser Arbeit besonders wichtig waren. Dabei handelt es sich um den Ablauf bei der Substratpräparation sowie die Charakterisierung der Substrate, das Wachsen dünner Filme mittels gepulster Laserablation, die Kontaktierung der Grenzflächen mit Hilfe des Ionenätzverfahrens, Metallisierung mittels Sputterdeposition und zuletzt die Strukturdefinition durch Lithographieverfahren.

In dieser Arbeit wurden zwei unterschiedliche Transistortypen realisiert. Das vierte Kapitel befasst sich mit der Strukturierung des LaAlO₃/SrTiO₃-Grenzflächensystems und damit zusammenhängend dem Aufbau der untersuchten Transistortypen. Beide Typen basieren auf dem System LaAlO₃/SrTiO₃, unterscheiden sich jedoch in den Materialien ihrer Dielektrika und der Gates. Ein weiteres Strukturierungsverfahren des Elektronensystems, die elektrostatische Strukturierung mittels modifizierter Rasterkraftmikroskopie, wird am Ende des Kapitels vorgestellt. Dieses Verfahren unterscheidet sich grundsätzlich von den übrigen vorgestellten Lithographieverfahren und ermöglicht das Definieren elektronisch aktiver Bereiche auf der Längenskala von Nanometern.

Im fünften Kapitel werden die Ergebnisse dieser Arbeit präsentiert. Das Kapitel umfasst die Darstellung und Analyse der gemessenen elektronischen Eigenschaften beider Transistortypen wie zum Beispiel Kennlinienfelder, Verstärkungseigenschaften sowie Kapazitätsmessungen. Die gemessenen Eigenschaften der oxidischen Transistoren werden anschließend Kenndaten von Halbleiter-FETs gegenübergestellt. Zuletzt erfolgt die Darstellung der Entwicklung und Realisierung eines integrierten Schaltkreises (IC) basierend auf LaAlO₃/SrTiO₃-Transistoren.

Das letzte Kapitel stellt die Ziele und erzielten Ergebnisse dieser Arbeit gegenüber. Zuletzt wird ein Ausblick gegeben.

1.1 Feld-Effekt-Transistoren und Probleme der Skalierung

Feld-Effekt-Transistoren sind prinzipiell einfach aufgebaut, können beispielsweise elektrische Signale verstärken und können in erster Näherung auch nur als ein Stromschalter betrachtet werden. Zwei Anschlüsse, Source und Drain, sind durch einen Kanal verbunden. Die elektrische Leitfähigkeit dieses Kanals wird durch einen dritten Kontakt, das Gate, gesteuert. Der Aufbau ist in Abbildung 2 schematisch dargestellt. Gate und Kanal bilden näherungsweise einen Kondensator der Kapazität

$$C_g = \frac{\epsilon \epsilon_0 A}{d} \quad (1)$$

mit der Dielektrizitätskonstanten des Gatematerials ϵ , der elektrischen Feldkonstante ϵ_0 , der Gatefläche A und der Dicke des Dielektrikums d . Gemäß $\Delta q = \Delta n \cdot e = C_g \cdot \Delta U_{gs}$ (n steht für die Ladungsträgerdichte, e für die Elementarladung) lässt sich mit einer Änderung der Spannung U_{gs} , die üblicherweise zwischen Source und Gate anliegt, eine Ladungsmenge Δq zwischen Gate und Kanal verschieben. Für die Änderung der Leitfähigkeit $\Delta \sigma$ im Kanal ergibt sich damit

$$\Delta \sigma = \Delta n \cdot \mu \cdot e \propto \Delta U_{gs} \quad (2)$$

μ steht für die für die Beweglichkeit der Ladungsträger, die auch Mobilität genannt wird.

Die elektrische Leitfähigkeit eines solchen Kanals wird zum Beispiel getragen durch Elektronen, Löcher oder einer Mischung aus beiden. Abhängig vom Vorzeichen der für die Leitfähigkeit hauptsächlich verantwortlichen Ladungsträger wird zwischen n -Kanal (negativ) und p -Kanal (positiv) FETs unterschieden [14]. Außerdem wird zwischen Transistoren unterschieden, die ohne angelegter Gatespannung leiten (Verarmungstyp) und solchen, die ohne Gatespannung isolieren (Anreicherungstyp).

Verschiedene Bauformen von FETs unterscheiden sich im wesentlichen durch die Gatebarriere und die Art des Kanals. Für die hochintegrierte Silizium-Logik stellt der MOSFET das wichtigste Bauteil dar. MOSFETs gehören zur Klasse der Transistoren mit isoliertem Gate, ebenso der so genannte HEMT (high electron mobility transistor) [7]. Weitere Typen sind der MESFET (metal-semiconductor FET), bei dem die Gatebarriere durch Ausbildung einer Schottky-Barriere gebildet wird, und der JFET (junction FET), der den Strom mit Hilfe einer pn -Sperrschicht steuert. Aufbau und Funktionsweise von FETs werden im folgenden anhand des n -Kanal MOSFETs exemplarisch beschrieben.

Aufbau und Funktionsweise von n -Kanal MOSFETs

Der Aufbau des n -Kanal MOSFETs ist in Abbildung 3a dargestellt. Auf einem p -dotierten Substrat (Silizium) befindet sich eine isolierende Schicht SiO_2 . Auf diesem Isolator ist das Gatematerial aufgebracht. Lateral voneinander getrennt befinden sich Source und Drain. Diese Kontakte werden durch stark n -dotierte Bereiche definiert. Zwischen und unter diesen n -dotierten Bereichen befindet sich das p -dotierte Substrat. Diese Anordnung beinhaltet also zwei entgegengesetzt gerichtete pn -Übergänge oder auch Dioden.

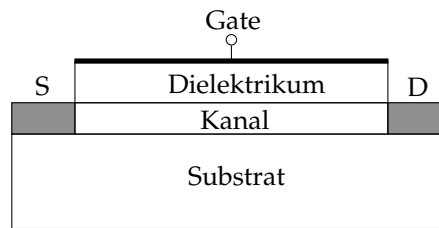


Abbildung 2

Schematische Darstellung des Querschnitts eines Feld-Effekt-Transistors. Source (S) und Drain (D) werden durch einen Kanal verbunden. Über diesem Kanal befindet sich das Gate. Das Gate ist elektrisch vom Kanal getrennt und koppelt kapazitiv an diesen.

An den pn -Übergängen bildet sich eine Sperrschicht. Durch die entgegengesetzte Schaltung dieser pn -Übergänge sperrt immer einer der beiden Übergänge beim Anlegen einer Spannung U_{ds} zwischen Source und Drain und es fließt nur ein geringer Strom.

Wird zwischen Gate und Source eine Spannung U_{gs} angelegt, fällt diese fast nur über der isolierenden SiO_2 -Schicht ab. Das Vorzeichen wird so definiert, dass bei positiven Spannungen das Gate mit dem positiv geladenen Pol verbunden ist. Für positive Spannungen nimmt die Zahl der Löcher an der Si/SiO_2 -Grenzfläche ab. Unter dem Gate entsteht eine negativ geladene Raumladungszone oder Sperrschicht (Abbildung 3b). Positive Ladungen auf dem Gate werden durch negativ geladene Akzeptoren kompensiert. Bei ausreichend großer positiver Gatespannung bildet sich an der Grenzfläche eine Anreicherungsschicht aus beweglichen Elektronen, die auch Inversionsschicht genannt wird (Abbildung 3c). Source- und Drain-Kontakt sind jetzt elektrisch leitend verbunden. Die Inversionsschicht entsteht durch Bandverbiegung an der Si/SiO_2 -Grenzfläche (Abbildung 4).

Eine charakteristische Größe von FETs ist ihre Schwellspannung U_t (t steht für *threshold*). Die Schwellspannung trennt den Spannungsbereich, in dem ein FET leitet von dem Bereich, in dem er nicht leitet. Anreicherungstyp-FETs besitzen eine positive Schwellspannung, Verarmungstyp-FETs eine negative. U_t und das Vorzeichen der Ladungsträger werden durch Stärke und Art der Dotierung im Kanal bestimmt. Die Kombination von p -MOSFETs und n -MOSFETs in einer Schaltung wird CMOS (complementary MOS) genannt [7].

Beschreibung idealisierter FETs

Viele Eigenschaften von Feld-Effekt-Transistoren lassen sich mit einfachen Bildern beschreiben. Die Leitfähigkeit des Kanals wird bestimmt durch Gleichung 2. An jedem Ort des Kanals ist die Leitfähigkeit durch die Potentialdifferenz zwischen Gate und Kanal an diesem Ort festgelegt. Die Gatespannung U_{gs} legt im stromlosen Fall also das im gesamten Kanal konstante Kanalpotential fest. Im idealisierten Fall fließt kein Strom zwischen Gate und Kanal.

Wird von außen eine Spannung U_{ds} zwischen Source und Drain angelegt, fließt ein

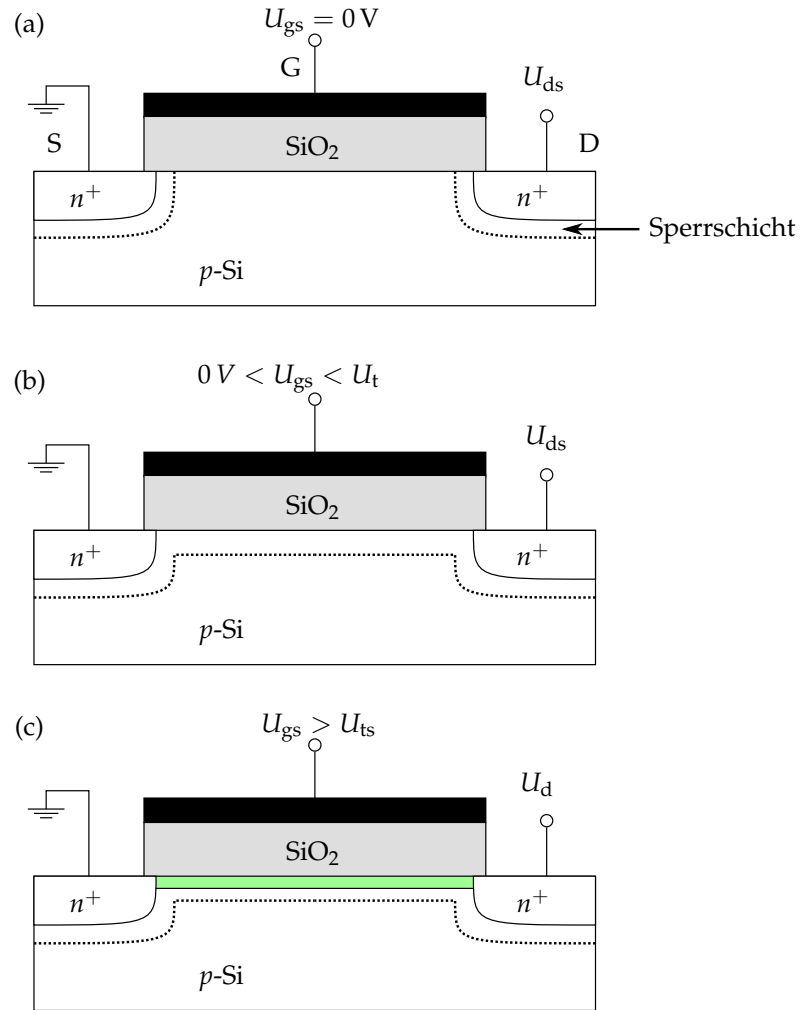


Abbildung 3

Schematische Darstellung des Querschnitts eines Halbleiter- n -MOSFETs. (a) In einem p -dotierten Si-Substrat werden Source und Drain durch stark n -dotierte Bereiche definiert. Das Gate (schwarz) ist durch eine Schicht SiO_2 vom Substrat getrennt. An den pn -Grenzflächen bildet sich eine Sperrschicht. Bei kleinen angelegten Spannungen U_{ds} sperrt eine der beiden pn -Dioden. (b) Kleine positive Gatespannungen erzeugen eine Sperrschicht unter dem Isolator. (c) Ab Überschreiten einer Grenzspannung, der Schwellspannung, bildet sich ein dünner, leitfähiger Kanal aus mobilen Elektronen. Jetzt sind Source und Drain elektrisch verbunden.

Strom I_d zwischen diesen Kontakten. Durch I_d entsteht ein Potentialgradient im Kanal. Es kommt zu einer ortsabhängigen Potentialdifferenz zwischen Kanal und Gate und damit wird auch die Leitfähigkeit des Kanals ortsabhängig. Daraus ergibt sich im sogenannten linearen Bereich, für $U_{ds} < (U_{gs} - U_t)$, eine Kennlinie, die beschrieben wird durch [15]

$$I_d = \beta \cdot \left(U_{gs} - U_t - \frac{U_{ds}}{2} \right) \cdot U_{ds}. \quad (3)$$

β heißt Verstärkungsfaktor und ist definiert als

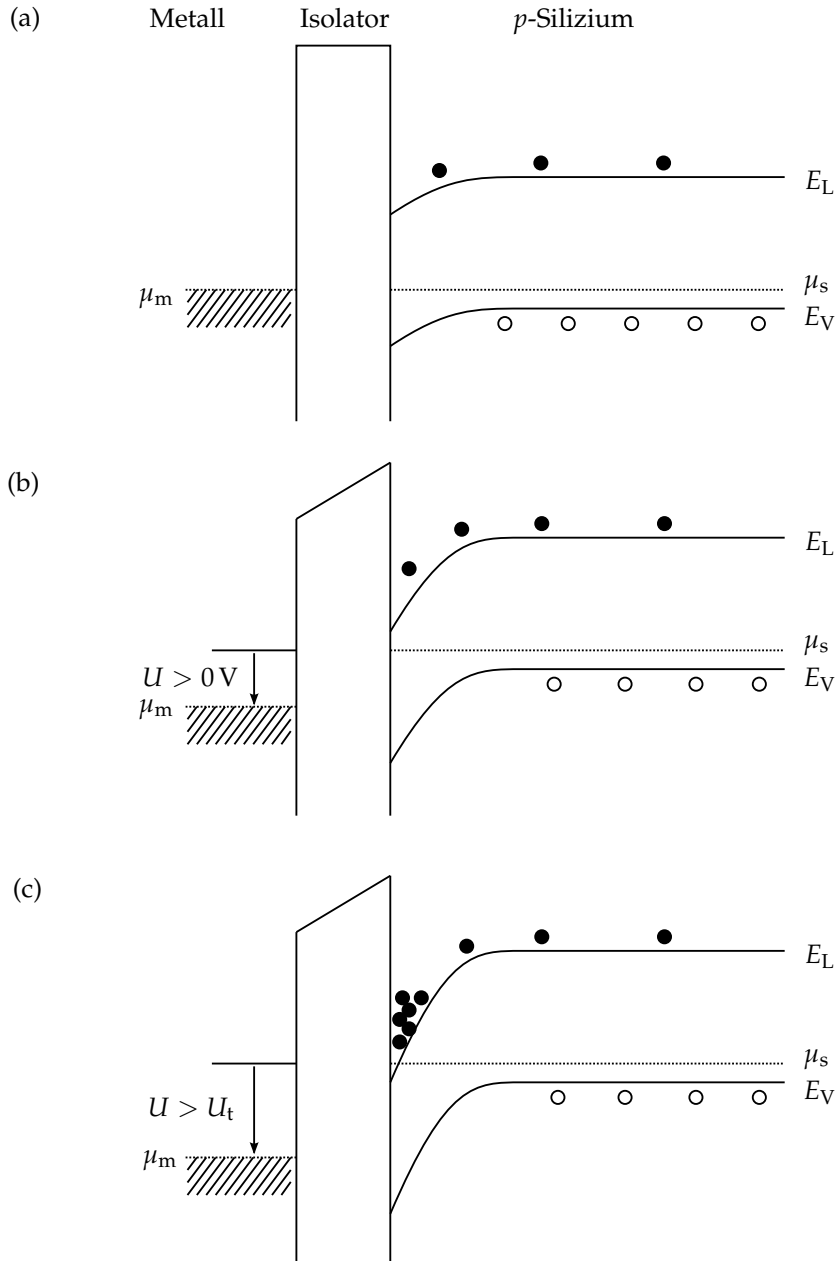


Abbildung 4

Zur Entstehung des Inversionskanals an einer Isolator-Silizium-Grenzfläche, vereinfachte Darstellung in Anlehnung an [7]. Diese Darstellung zeigt keine festen Raumladungen. (a) Ohne äußere Spannung sind die elektrochemischen Potentiale (bezeichnet als E_F in [7]) μ_m des Metalls (Gate) und μ_s des *p*-dotierten Siliziums energetisch gleich. E_L bezeichnet die untere Leitungsbandkante, E_V die obere Valenzbandkante des Halbleiters. Die Wahl der Materialien und der Dotierungsgrad des Halbleiters bestimmen die Bandverbiegung an der Isolator-Silizium-Grenzfläche. Im Leitungsband der Halbleiters befinden sich wenige Elektronen (gefüllte Kreise), im Valenzband befinden sich Löcher (Kreise). (b) Eine positive Spannung U am Metall hebt das Potential des Halbleiters relativ zum Gatepotential an. An der Grenzfläche wird der Abstand von μ_s zu E_L kleiner. Die Zahl der Löcher an der Grenzfläche nimmt mit der positiven Gatespannung ab. So wird der Bereich negativer Raumladung an der Grenzfläche größer. (c) Für $U > U_t$ ist die Bandverbiegung an der Grenzfläche so stark, dass sich dort ein Elektronensystem bildet.

$$\beta = \frac{W}{L} \cdot \beta_{\square} = \frac{W}{L} \cdot \mu \cdot (C_g/A) \quad (4)$$

mit der Kanalbreite W , der Kanallänge L , der Beweglichkeit μ der Ladungsträger sowie der flächenbezogenen Kapazität oder Flächenkapazität C_g/A .

Wird U_{ds} erhöht, kommt es bei $U_{ds,sat} = U_{gs} - U_t$ zur sogenannten Einschnürung des Kanals. $U_{ds,sat}$ wird als Abschnürspannung oder auch als Sättigungsspannung bezeichnet. Für $U_{ds} > (U_{gs} - U_t)$ beträgt die Potentialdifferenz zwischen Gate und einer bestimmten Stelle im Kanal genau $U_{gs} - U_t$ und der Kanal ist an dieser Stelle am Übergang in den isolierenden Bereich. Der Spannungsbereich $U_{ds} > (U_{gs} - U_t)$ wird auch als Sättigungsbereich bezeichnet. In diesem Bild kann I_d durch eine Erhöhung von U_{ds} nicht weiter zunehmen und wird beschrieben durch [15]

$$I_d = \frac{\beta}{2} (U_{gs} - U_t)^2 = I_{d,sat}. \quad (5)$$

Bei realen FETs ist I_d jedoch nicht unabhängig von U_{ds} . Stattdessen beinhaltet die Kennlinie stets einen Strombeitrag, der näherungsweise linear von U_{ds} abhängt. Diese Abweichung vom Verhalten idealisierter FETs kommt daher, dass im Sättigungsbereich sehr große elektrische Felder im Kanal auftreten (Abbildung 5). Die Elektronenbeweglichkeit ist dann nicht mehr unabhängig vom elektrischen Feld, was in Gleichung 3 nicht berücksichtigt wird [7]. I_d ist dann also nicht mehr unabhängig von U_{ds} . Der Sättigungsstrom und die Sättigungsspannung realer FETs werden durch diesen Effekt reduziert gegenüber dem Sättigungsstrom und der Sättigungsspannung idealisierter FETs [7].

Eine weitere charakteristische Größe von FETs ist die Transkonduktanz g . Sie beschreibt die Änderung von I_d mit der Änderung von U_{gs} :

$$g = \left. \frac{dI_d}{dU_{gs}} \right|_{U_{ds}=\text{const}}.$$

Nach dieser Definition ergeben sich für den linearen (lin) und den gesättigten (sat) Bereich [15]

$$g_{lin} = \beta \cdot U_{ds} \quad (6)$$

$$g_{sat} = \beta \cdot (U_{gs} - U_t). \quad (7)$$

Neben dieser Transkonduktanz werden FETs auch durch ihren Ausgangswiderstand, der auch als Kanalwiderstand bezeichnet wird, charakterisiert. Der Ausgangswiderstand ist im linearen Bereich definiert durch

$$R_{out} = \left(\frac{dI_d}{dU_{ds}} \right)^{-1} = \frac{1}{\beta (U_{gs} - U_t - U_{ds})} \stackrel{U_{ds} \ll (U_{gs} - U_t)}{\approx} \frac{1}{\beta \cdot (U_{gs} - U_t)}. \quad (8)$$

Im Sättigungsbereich ist I_d nach Gleichung 5 unabhängig von U_{ds} . Für idealisierte FETs gilt in diesem Bereich also $\frac{dI_d}{dU_{ds}} = 0$ bzw. $R_{out} = \infty$. Durch den vorher beschriebenen Einfluss großer elektrischer Felder auf die Mobilität bleibt R_{out} von realen FETs endlich.

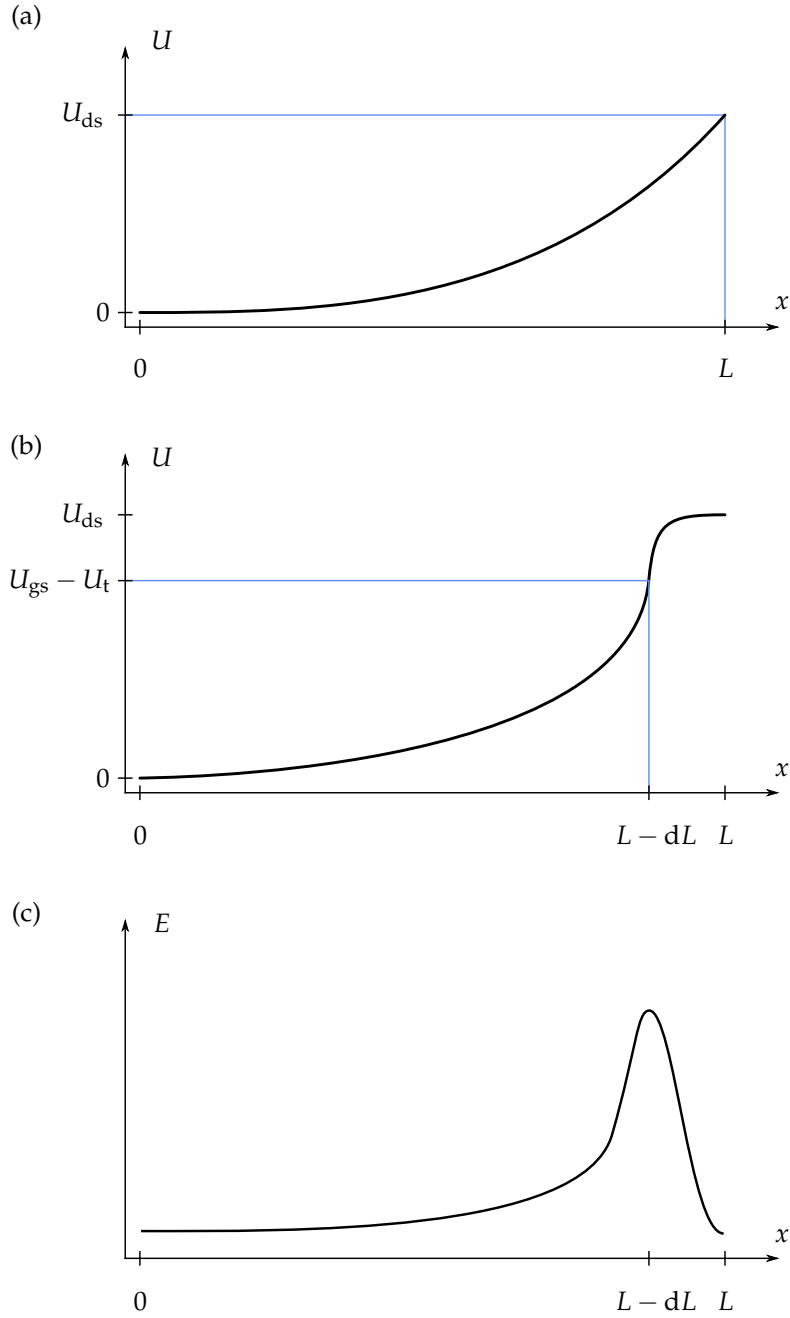


Abbildung 5

Darstellung der ortsabhängigen Gate-Kanal Potentialdifferenz $U(x)$ eines FETs bei konstanten angelegten Spannungen für (a) $U_{ds} < (U_{gs} - U_t)$ und (b) $U_{ds} > (U_{gs} - U_t)$. Der Source-Kontakt endet bei $x = 0$, der Drain-Kontakt bei $x = L$. Dazwischen liegt der Kanal der Länge L . (c) Verlauf des elektrischen Feldes für $U_{ds} > (U_{gs} - U_t)$ [15]. Wird die Abschnürspannung überschritten, gilt an einer Stelle x_t im Kanal $U(x_t) = (U_{gs} - U_t)$. Hier kommt es zu einer starken Erhöhung des elektrischen Feldes. Bei sehr großen Feldern ist die Beweglichkeit der Elektronen nicht mehr feldunabhängig. Darstellung nach [15].

Skalierung von MOSFETs

Viele Eigenschaften realer FETs lassen sich wie vorher dargestellt recht gut mit einfachen Bildern beschreiben. Mit zunehmender Verkleinerung von FETs treten immer größere Abweichungen von den idealisierten Eigenschaften auf. Beim Anfangs eingeführten *constant-field scaling* werden Dimensionen, Spannungen und der Dotierungsgrad so angepasst, dass auftretende elektrische Felder gleich bleiben. Diese Art der Skalierung hat den Vorteil, dass bestehende komplexe Logikschaltungen nicht durch neue Schaltungen ersetzt werden müssen. Außerdem verringert sich die für die Schaltungen benötigte Fläche und der durchschnittliche Energieverbrauch der Schaltung.

Beim *constant-field scaling* werden unter anderem Kanallänge, Kanalbreite und die Dicke der isolierenden Schicht nach gleichem Maßstab verringert. Das bedeutet aber zum Beispiel für Si-SiO₂-MOSFETs, dass bei einer Kanallänge kleiner als 100 nm die Gatedicke weniger als 3 nm betragen muss [16]. Ein so dünnes Dielektrikum besteht nur noch aus wenigen Atomlagen.

Tunnelströme nehmen mit abnehmender Dicke der isolierenden Bereiche stark zu. Da bei SiO₂-Schichtdicken von wenigen Nanometern die elektrischen Verluste durch Tunnelströme sehr groß werden, wurde vor wenigen Jahren begonnen, das SiO₂-Dielektrikum konventioneller MOSFETs durch HfO₂-basierte Dielektrika mit größerer Dielektrizitätskonstante ersetzt [17]. Durch den Einsatz solcher sogenannter *high-κ* Materialien können vergleichsweise dickere isolierende Schichten bei gleicher Kapazität eingesetzt werden. Seit Einführung der 45 nm-Technologie (2007) setzt beispielsweise die Firma Intel HfO₂-basierte Dielektrika als Gatematerial ein [17]. Gordon Moore bezeichnete diesen Wechsel des Dielektrikums (sinngemäß) als „die größte Veränderung der Transistor-Technologie ... seit 1960“ [9].

In diesem Zusammenhang werden drei unterschiedliche Dicken des Dielektrikums definiert: 1. Die physikalische Dicke. 2. Die im Hinblick auf den Tunnelstrom äquivalente Oxiddicke. 3. Die im Hinblick auf die Kapazität äquivalente Oxiddicke. Diese Dicken sind – unter Vernachlässigung von Quantenkorrekturen – per Definition für SiO₂ identisch [18].

Ungewollte Tunnelströme können außerdem beispielsweise zwischen dem *p*-Substrat und dem Drain-Kontakt auftreten. Die Raumladungszone um den Drain-Kontakt stellt eine Potentialbarriere dar. Bei hohen Spannungen kann es zum *band-to-band-tunneling* kommen. Dabei tunneln Elektronen aus dem Valenzband des Substrats in das Leitungsband der Drain-Region, vergleichbar mit dem Strommechanismus einer Tunneldiode [18]. Mit voranschreitender Skalierung wird die Stärke der Dotierung zunehmend erhöht. Dieser Tunnelmechanismus nimmt dabei stark zu und kann bei Feldstärken von 2 MV/cm in der Größenordnung von Gate-Tunnelströmen liegen [18].

Dotanden sind Störstellen des Si-Gitters. Durch eine starke Dotierung sinkt die Mobilität der Elektronen an der Si-SiO₂-Grenzfläche [7]. Höhere Mobilitäten können mit Hilfe der

Modulationsdotierung erzielt werden, wie sie bei HEMTs verwendet wird [19]. Ein Problem tritt bei der Platzierung der (diskreten) Dotanden auf. Von D. J. Frank *et al.* publizierte Daten demonstrieren dieses Problem und sind in Abbildung 6 dargestellt. Gezeigt werden die Ergebnisse von Simulationen von $11\text{ nm} \times 50\text{ nm}$ kleinen Kanalgebieten mit zufällig gewählter Dotanden-Verteilung. Die berechneten $I(U)$ -Charakteristiken von 100 FETs mit diesen Kanälen zeigen eine sehr große Streuung. Diese Streuung gewinnt mit Verkleinerung der Fläche an relativem Gewicht.

Bei besonders kurzen Kanälen treten weitere Störeffekte, sogenannte Kurzkanaleffekte, auf. Das Gate eines idealisierten FETs kontrolliert die Leitfähigkeit des Kanals. Durch Anlegen einer Gatespannung bildet sich eine Raumladungszone an der Grenzfläche, bei größeren Gatespannungen ein Inversionskanal. Um die dotierten Bereiche der Source- und Drain-Kontakte bilden sich ebenfalls Raumladungszonen (Abbildung 7a). Bei immer kleineren Kanallängen kommt es dazu, dass die Raumladung und damit das Potential im Kanal zunehmend durch jeweils Source- und Drain-Kontakt bestimmt werden. Die effektive Länge des Kanals, die vom Gate kontrolliert werden kann, verkürzt sich damit auf $L_{\text{eff}} = L - y_s - y_d$ (Abbildung 7a). Man bezeichnet dies als Kanallängenmodulation. Außerdem kommt es zum so genannten *Drain-Induced-Barrier-Lowering* (DIBL) und in extremen Fällen ($L \approx y_s + y_d$) zum so genannten *Punch Through*. In diesem Fall fließen große Leckströme, also unerwünschte Ströme, zwischen Source und Drain. Der Kanal ist dann schlechter oder nicht mehr durch das Gate kontrollierbar [7]. Ein Beispiel für das Auftreten von Kurzkanaleffekten ist in Abbildung 7b gezeigt. Die dargestellten Daten aus dem Jahr 1985 zeigen, dass bereits zu dieser Zeit Kurzkanaleffekte auftraten [20]. Bei kürzeren Kanälen wird die Schwellspannung deutlich reduziert. Durch das DIBL wird dieser Effekt bei größeren Kanalspannungen verstärkt.

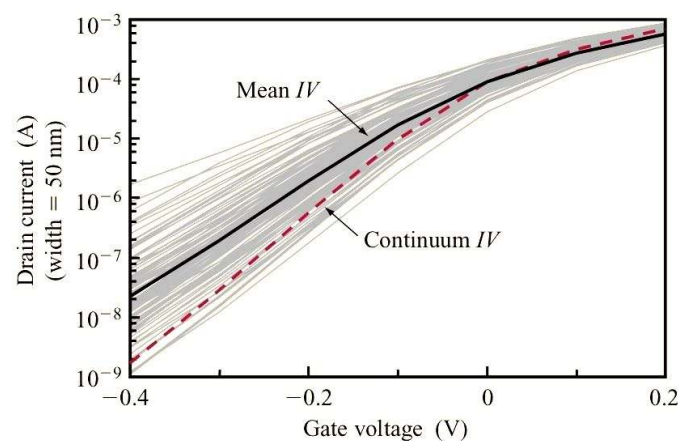


Abbildung 6

100 simulierte $I(U)$ -Charakteristiken von MOSFETs der Kanallänge 11 nm . Die Positionen der (diskreten) Dotieratome innerhalb des Kanalbereichs wurden zufällig gewählt. Die schwarze Linie zeigt das geometrische Mittel der verschiedenen Kurven an. Die gestrichelte Linie markiert die Charakteristik für kontinuierlich verteilte Dotanden. Grafik aus [18].

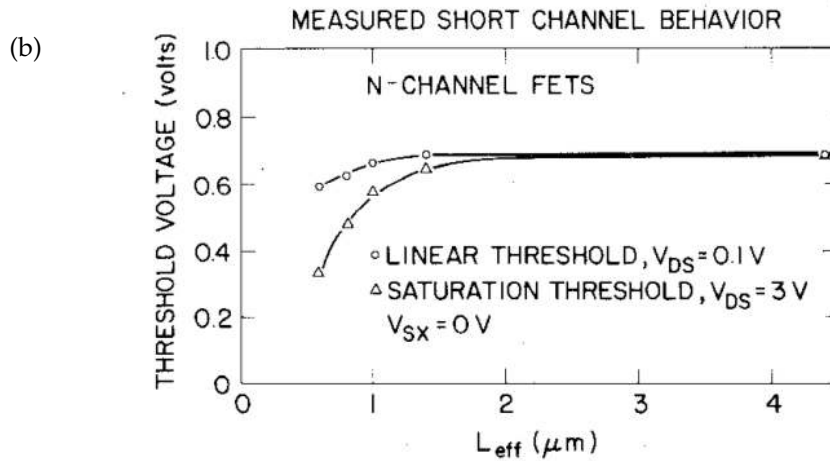
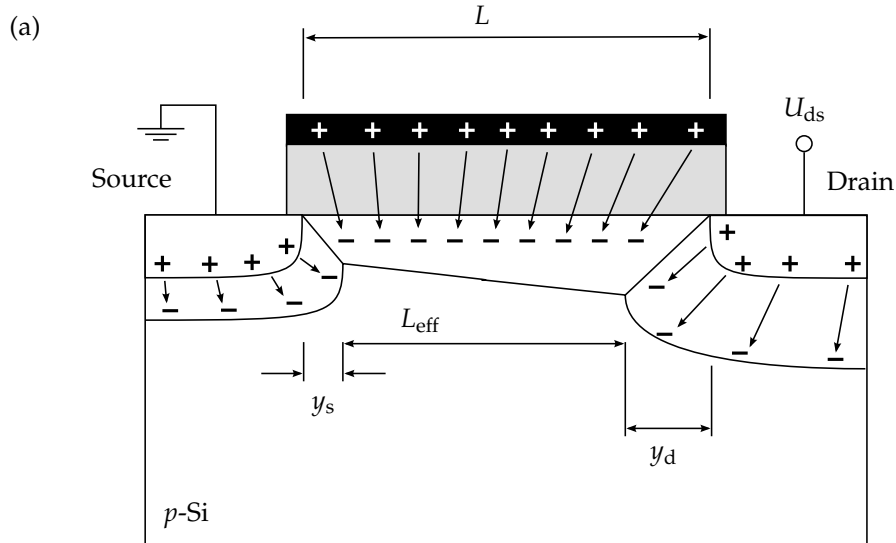


Abbildung 7

(a) Schematische Darstellung des Querschnitts eines MOSFETs (Abbildung und Erklärung vereinfacht nach [7]). Die geometrische Kanallänge beträgt L . Positive Ladungen auf dem Gate werden durch negative Raumladungen im Kanal kompensiert. Um Source und Drain herum entsteht durch ihre Dotierung eine Raumladungszone. Im gezeigten Fall, $U_d > 0\text{ V}$, wird die Drain-Raumladungszone vergrößert. Die Raumladungszone bewirkt in den Randbereichen des Kanals, dass Feldlinien von Ladungen unter dem Gate nicht bei Ladungen auf dem Gate enden, sondern auf dem Source- oder Drain-Kontakt. Die Kanallänge L , die vom Gate kontrolliert werden kann, reduziert sich so auf $L_{\text{eff}} = L - y_s - y_d$. Bei sehr kurzen MOSFET-Kanälen spielt dieser Effekt eine dominante Rolle. Ein Grafik aus dem Jahr 1985 ist exemplarisch in Abbildung (b) dargestellt. Sie zeigt die Schwellspannung U_t von n -Kanal FETs unterschiedlicher Gatelängen für verschiedene Source-Drain-Spannungen. Für effektive Gatelängen von weniger als $2\text{ }\mu\text{m}$ wird die Schwellspannung kleiner. Dieser Verringerung nimmt mit steigender Drain-Source-Spannung U_{ds} zu. (Grafik aus [20])

Es gibt Größen, die sich besser skalieren lassen, wie die Kanallänge, und Größen, die sich schlechter skalieren lassen, wie die Gatedicke. Problematisch ist außerdem die Skalierung von U_t und U_{ds} . Beim *constant-field scaling* müssen aber, damit die elektrischen Felder, welche die FET-Funktionalität bestimmen, gleich bleiben, die Spannungen im gleichen Maße wie die Dimensionen reduziert werden. Tabelle 1 zeigt eine Auflistung wichtiger Größen und liefert Informationen zu ihrem Skalierungsverhalten.

Tabelle 1

Darstellung von MOSFET-Kenngrößen mit ihren idealisierten Skalierungsfaktoren für *constant-field scaling*. Die dritte Spalte gibt die tatsächlich durchgeführte Skalierung dieser Größen an. Die letzte Spalte nennt Gründe für die Abweichung zwischen theoretischer und praktisch durchführbarer Skalierung [7]. I_{off} : Strom im „Aus“-Zustand des Transistors.

Parameter	Theoretisch	Umgesetzt	Limitierung
Kanallänge L	$1/x$	$1/x$	
E -Feld	1	> 1	
Gate-Dicke d	$1/x$	$> 1/x$	Tunnelströme, Defekte
Schwellspannung U_t	$1/x$	$\gg 1/x$	I_{off}
Drain-Source-Spannung U_{ds}	$1/x$	$\gg 1/x$	U_t
Dotierungsgrad N_A	x	$< x$	Durchbruch

Die Spannungen U_t und U_{ds} können noch schlechter skaliert werden als die Längenabmessungen. Ab der Schwellspannung U_t leitet der Kanal gut, für kleinere Spannungen als die Schwellspannung leitet er schlecht (so zum Beispiel ein n -Kanal-MOSFET mit $U_t > 0$ V). Der Strom im sperrenden Zustand wird mit I_{off} bezeichnet. Welche Spannung wird benötigt, um den Transistor vom „Aus“- in den „An“-Zustand und umgekehrt zu bringen?

Der Übergang zwischen leitendem und sperrendem Zustand wird als *Subthreshold*-Bereich bezeichnet. In diesem Bereich tritt im Kanal eine schwache Inversion auf [7]. Anders als bei der starken Inversion befinden sich im Bereich der schwachen Inversion nur wenige, thermisch angeregte Elektronen im Leitungsband. Die Spannung, die benötigt wird, um die Leitfähigkeit eines FET-Kanals um eine Größenordnung zu verändern, ergibt sich aus einer Größe, die als *Subthreshold-Swing* S bezeichnet wird. S ist definiert als [7]

$$S = \ln(10) \frac{\partial U_{gs}}{\partial (\ln I_d)} = \ln(10) \left(\frac{k_B T}{e} \right) \left(\frac{C_{ox} + C_s}{C_{ox}} \right) \quad (9)$$

mit der Sperrschichtkapazität C_s und der Oxidkapazität C_{ox} . S wird üblicherweise in der Einheit mV pro Dekade angegeben und wird minimal, wenn $C_{ox} \gg C_s$. Dann gilt bei Zimmertemperatur $S \approx 60$ mV/dec.

S bestimmt das Verhalten von MOSFETs maßgeblich. Eines der Ziele beim *constant-field scaling* ist es, die Schaltspannungen der MOSFETs zu verringern. In Halbleiterschaltungen wird die größte zur Verfügung stehende Spannung durch die Wahl der Versorgungsspannung U_{dd} festgelegt. Ist ein Transistor bei $U_{gs} = U_{dd}$ im leitenden Zustand, wird

dieser Zustand bei konstanter Kanalspannung durch den Strom I_{on} beschrieben. Für $U_{\text{gs}} = U_{\text{off}}$ beträgt der Strom durch den Transistor I_{off} . Die Differenz $I_{\text{on}} - I_{\text{off}}$ sollte so groß wie möglich sein. Darüber hinaus sollte I_{off} so klein wie möglich sein, um statische elektrische Verluste gering zu halten. Im Idealfall sollte bei $U_{\text{gs}} = U_{\text{off}}$ gar kein Strom fließen. Die Zusammenhänge von I_{on} , I_{off} , U_{dd} , U_{off} und S eines n -Kanal MOSFETs sind in Abbildung 8 skizziert. Im *Subthreshold*-Bereich, also zwischen $U_{\text{gs}} = U_{\text{off}}$ und $U_{\text{gs}} = U_{\text{dd}}$, wird der Strom I_{d} beschrieben durch S [18].

Um die Betriebsspannungen im Zuge der Skalierung verkleinern zu können und gleichzeitig die Differenz zwischen I_{on} und I_{off} so groß wie möglich zu halten, muss S immer kleiner werden. Bei konventionellen MOSFETs ist S durch 60 mV/dec limitiert.

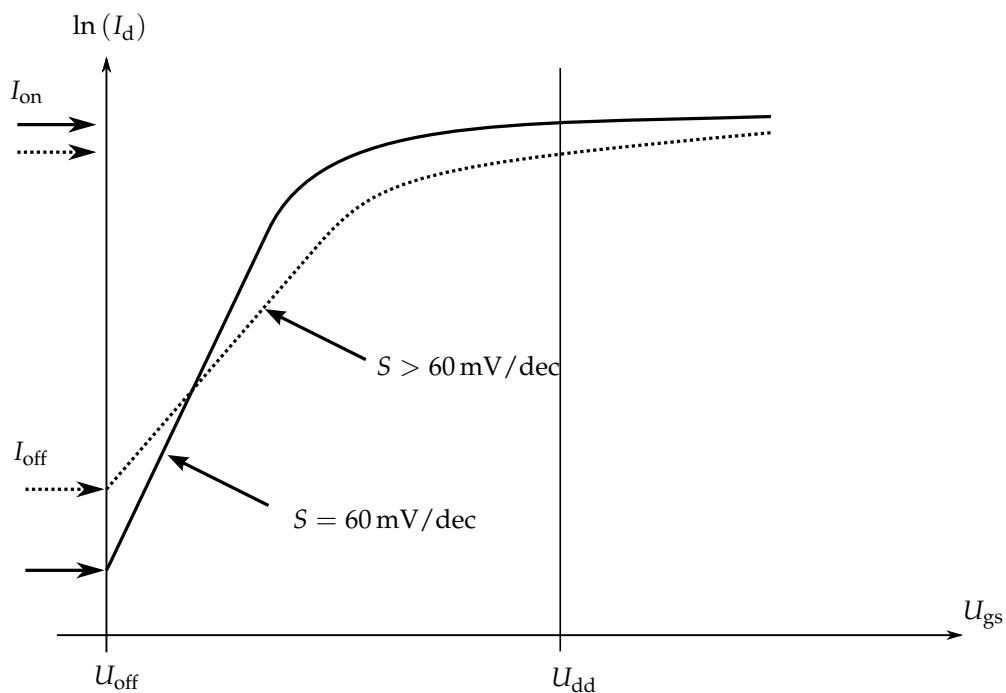


Abbildung 8

Schematische Darstellung der Zusammenhänge von I_{off} , I_{on} , U_{off} , U_{dd} und S von n -Kanal MOSFETs. Die Gatespannung variiert zwischen U_{off} und U_{dd} . Bei konstanter Drain-Source-Spannung verändert sich der Kanalstrom, hier aufgetragen als $\ln(I_d)$. Die Steigung $1/S$ im Übergangsbereich bestimmt I_{on} und I_{off} .

1.2 Ansätze zur Lösung von Skalierungsproblemen

Die Skalierung von MOSFETs stößt immer mehr an Grenzen. Im obigen Abschnitt wurden eine Reihe von Problemen dargestellt, die bei der Skalierung auftreten. Das Einbinden von Dielektrika mit hoher Dielektrizitätskonstante reduziert Leckströme, ist aber schwierig und viele Materialien können in Verbindung mit Si-Systemen nicht verwendet werden [9]. Kurzkanaleffekte können durch Strukturänderungen reduziert werden. Alternative Strukturen sind zum Beispiel *Silicon On Insulator* (SOI) oder Multigate-FETs, wie in Abbildung 9 dargestellt [7]. In der dargestellten Struktur umschließt das Gate den Kanalbereich von drei Seiten. Die Verwendung solcher komplizierter FET-Strukturen für die Herstellung von Prozessoren ist mit erheblichem Aufwand verbunden und wird erst seit wenigen Jahren diskutiert [17].

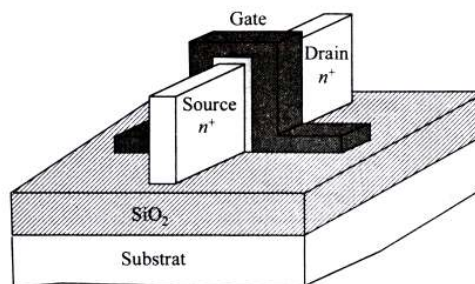


Abbildung 9

Schematische Darstellung eines Multigate-MOSFETs oder auch 3-dimensionalen MOSFETs. Source, Drain und der Kanal, der vom Gate umschlossen wird, befinden sich auf einer isolierenden SiO₂-Schicht. Grafik aus [7].

Für die Umgehung der thermisch bedingten Limitierung des *Subthreshold-Swing* S gibt es unterschiedliche Lösungsvorschläge. Salahuddin schlägt die Verwendung einer negativen Kapazität vor [21]. Eine anderer Vorschlag ist die Verwendung eines Tunnel-FET (TFET) [22].

In der Forschung wird auch nach alternativen Materialien gesucht, mit denen sich skalierbare Feld-Effekt-Transistoren realisieren lassen, oder solchen, die bereits aus sehr kleinen Strukturen bestehen. W. C. Shin *et al.* konnten integrierte Schaltkreise aus ZnO-basierten FETs herstellen [23]. Auch Nanoröhren aus ZnO zeigen FET-Eigenschaften [24]. Untersucht werden zum Beispiel auch organische Halbleiter wie Pentacen [25, 26]. Ebenso lassen sich aus Kohlenstoff-Nanoröhren FETs herstellen [27, 28]. H. Ryu *et al.* konnten Kohlenstoff-Nanoröhren als FETs einsetzen und sogar integrierte Schaltungen damit realisieren [29].

Eine sehr interessante Materialklasse sind die Oxide. Ein bekanntes Beispiel ist das Oxid YBa₂Cu₃O_{7-x}, ein Hochtemperatursupraleiter, an dem sogar der Feld-Effekt nachgewiesen werden konnte [30]. Der nächste Abschnitt stellt das Materialsystem der Oxide kurz vor. Anhand des Beispielsystems LaAlO₃/SrTiO₃ wird demonstriert, welche bemerkenswerten Eigenschaften in Oxiden und oxidischen Heterostrukturen auftreten können.

2 Funktionale oxidische Heterostrukturen

2.1 Einführung in die Struktur und elektronischen Eigenschaften von Oxiden

Oxide besitzen eine bemerkenswerte Vielzahl an elektronischen Eigenschaften. LaAlO_3 (LAO) und SrTiO_3 (STO) sind Bandisolatoren (Bandlücken bei Raumtemperatur: LaAlO_3 5,6 eV [31, 32], SrTiO_3 3,3 eV [32, 33]), BaTiO_3 und SrTiO_3 können ferroelektrische Eigenschaften besitzen [34, 35], SrRuO_3 dagegen ist für Temperaturen unterhalb von circa 160 K ein ferromagnetischer Leiter [36, 37]. BiFeO_3 besitzt bei üblicher Zimmertemperatur ferroelektrische und ferromagnetische Eigenschaften [38]. Wird SrTiO_3 dotiert, beispielsweise mit Sauerstofffehlstellen oder Niob, so kann es metallisch leitend und sogar bei einem T_c der Größenordnung 100 mK supraleitend werden [39]. Dies sind einfache Beispiele für die zahlreichen elektronischen Eigenschaften dieser strukturell verwandten Oxide. Die Struktur dieser und zahlreicher weiterer Oxide wird als Perowskitstruktur bezeichnet. Eine aus der Perowskitstruktur abgeleitete Struktur besitzt das Oxid $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$, der erste Supraleiter mit einer kritischen Temperatur von $T_c = 93 \text{ K}$ [40], höher als die Siedetemperatur von Stickstoff.

Die kubische Perowskitstruktur ist in Abbildung 10 schematisch dargestellt. In den Ecken der Einheitszelle befinden sich Ionen der Sorte B , im Zentrum des Würfels ein Ion der Sorte A . Im Zentrum jeder Würfelkante befindet sich Sauerstoff. Die Größen der Ionen A und B bestimmen die Gitterstruktur des Kristalls. Manche Oxide besitzen daher keine kubische, sondern beispielsweise eine tetragonale oder orthorombische Kristallstruktur [41]. Darüber hinaus können mit Änderung der Temperatur strukturelle Phasenübergänge auftreten. BaTiO_3 durchläuft beispielsweise nahe von $T = 130^\circ\text{C}$ einen Übergang zwischen kubischer und tetragonaler Struktur [34]. Dieser strukturelle Phasenübergang bewirkt, dass BaTiO_3 für Temperaturen höher als 130°C paraelektrische, für geringere Temperaturen ferroelektrische Eigenschaften zeigt [34]. Der Zusammenhang zwischen strukturellem und ferroelektrischem Phasenübergang ist in Abbildung 11 schematisch dargestellt [42].

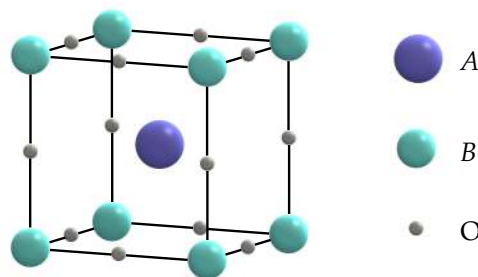


Abbildung 10

Schematische Darstellung einer Einheitszelle der Perowskit-Struktur. Die Ecken des Würfels sind von Ionen der Sorte B besetzt. Im Zentrum des Würfels befindet sich ein Ion der Sorte A . Die Zentren der Kanten werden von Sauerstoff besetzt. Grafik: V. Tinkl.

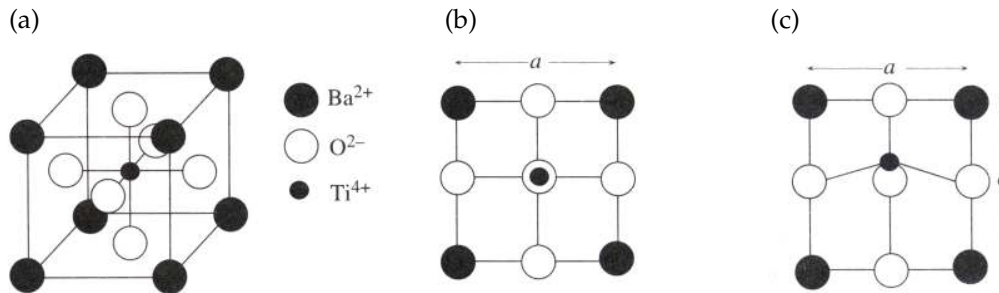


Abbildung 11

Zur Erklärung des ferroelektrischen Übergangs von BaTiO₃. (a) Schematische Darstellung einer Einheitszelle mit Benennung der Ionensorten. (b) Ansicht entlang einer Kristallachse bei kubischer Kristallstruktur (für $T > 130\text{ }^{\circ}\text{C}$). Der Massenschwerpunkt der negativ geladenen Ionen fällt mit dem Massenschwerpunkt positiv geladener Ionen zusammen. (c) Ansicht entlang einer Kristallachse bei tetragonaler Kristallstruktur (für $T < 130\text{ }^{\circ}\text{C}$). Die Gitterkonstante in c -Richtung ist gegenüber der Gitterkonstanten in a -Richtung verlängert. Das Längenverhältnis c/a beträgt bei BaTiO₃ etwa 1,01, die Verschiebung der Ti⁴⁺-Ionen beträgt etwa 0,012 nm und $a = 0,4\text{ nm}$. Der Massenschwerpunkt der negativ geladenen Ionen fällt nicht mit dem Massenschwerpunkt positiv geladener Ionen zusammen. Diese Anordnung besitzt also ein Dipolmoment. Grafik und Erklärung aus [42].

Eine Besonderheit komplexer Oxide ist, dass in ihnen unvollständig gefüllte d - oder f -Orbitale auftreten [10]. d - oder f -Orbitale überlappen meist schwach mit den p -Orbitalen des Sauerstoffs und bilden deshalb schmale Bänder aus [43], welche die elektronischen Eigenschaften des Materials bestimmen. Im Gegensatz dazu werden die elektronischen Eigenschaften in Halbleitern durch die Bildung von Hybridorbitalen aus s - und p -Orbitalen bestimmt [14]. Die Bandbreite von Leitungsbändern in Oxiden beträgt oft nur 1-2 eV, was im Vergleich zu typischen Bandbreiten in Halbleitern und Metallen sehr gering erscheint [43].

Komplexe Oxide besitzen also eine Vielzahl an elektronischen Eigenschaften. In Oxiden treten unterschiedliche elektronische Phasen und Phasenübergänge auf. Ein bekanntes Beispiel dafür ist das Oxid VO₂. Es zeigt bei einer Temperatur von 340 K eine stark ausgeprägte Widerstandsänderung über mehrere Größenordnungen, einen Metall-Isolator-Übergang (*metal insulator transition*, MIT) [44]. VO₂ ist nur eines von vielen oxidischen Materialien, die einen MIT zeigen, der durch die Änderung der Temperatur induziert wird. Abbildung 12 zeigt eine Vielzahl weiterer Oxide, darunter auch Perowskite, die einen Metall-Isolator-Übergang bei sehr unterschiedlichen Temperaturen zeigen [44].

Zur Herstellung von Feld-Effekt-Transistoren FETs werden Materialien benötigt, bei denen möglichst große Widerstandsänderungen induziert werden können (Kapitel 1). Ein Phasenübergang, der durch die Änderung der Temperatur induziert wird, scheint jedoch wenig praktisch für eine Anwendung wie FETs. Phasenübergänge an komplexen Oxiden können jedoch auch durch andere Parameter als die Temperatur induziert werden. Auch eine Änderung der Anzahl der Ladungsträger durch chemisches oder elektrostatisches Dotieren kann einen Phasenübergang bewirken [45, 46]. Ein Beispiel hierfür

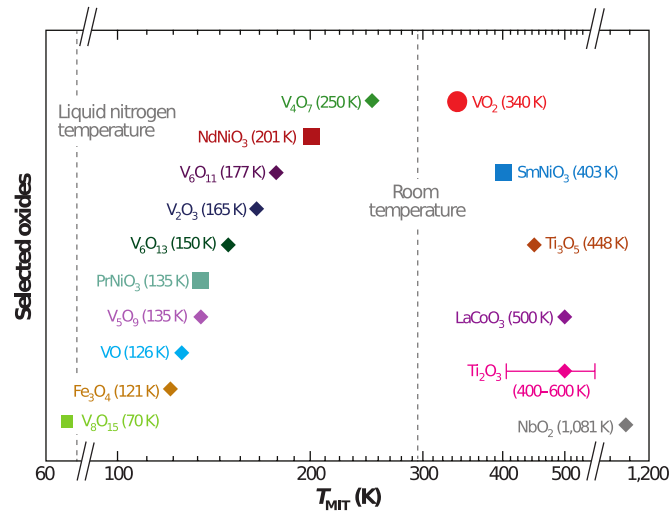


Abbildung 12

Übersicht verschiedener oxidischer Materialien, die einen Metall-Isolator-Übergang bei sehr unterschiedlichen Temperaturen zeigen. Grafik aus [44].

ist das Anfangs genannte Material $SrTiO_3$. Es besitzt abhängig vom Grad der Dotierung und der Temperatur leitende oder sogar supraleitende Eigenschaften. Besonders oxidische Systeme besitzen vielseitige Phasendiagramme, wie in Abbildung 13 dargestellt wird. Aufgetragen ist eine Achse, die die Ladungsträgerdichte pro Fläche bei $T = 0$ K markiert. Das Oxid $(La,Sr)MnO_3$ durchläuft mit Variation der Ladungsträgerdichte vier unterschiedliche Phasen. Dabei treten sowohl Übergänge zwischen einem antiferromagnetischen und einem ferromagnetischen Zustand als auch ein Metall-Isolator-Übergang auf. Das Material zeigt außerdem stark ausgeprägte magnetoresistive Eigenschaften. An $(La,Sr)MnO_3$ konnte der so genannte Kolossale Magnetoresistive Effekt (CMR-Effekt) nachgewiesen werden [47]. $YBa_2Cu_3O_{7-x}$ durchläuft bei tiefen Temperaturen beim Übergang von der antiferromagnetisch-isolierenden zur metallischen Phase eine supraleitende Phase. Zum Vergleich ist auch der Verlauf für Silizium aufgetragen. Dieser Verlauf endet bei einer Ladungsträgerdichte von circa 10^{13} cm^{-2} . Größere Ladungsträgerdichten bzw. Änderungen der Ladungsträgerdichten lassen sich beispielsweise durch den Feld-Effekt an reinen $Si-SiO_2$ -Grenzflächen ohne weiteres Dielektrikum nicht erzeugen. Der Grenzwert beträgt etwa 10^{13} cm^{-2} (mit der für SiO_2 maximalen Feldstärke von 10 MVcm^{-1} und $\epsilon_{SiO_2} = 3,9$) [45].

Die Möglichkeit, durch elektrische Felder Phasenübergänge in diesen Oxiden zu induzieren, macht sie für die Herstellung funktionaler Bauteile interessant. Mit Oxiden können größere Polarisierungen und damit größere Änderungen der Ladungsträgerdichten als in konventionellen Halbleitersystemen erreicht werden. Die Ladungsträgerdichten, die beispielsweise auf der Oberfläche von ferroelektrischem $BaTiO_3$ durch dessen Polarisation erzeugt werden kann, beträgt etwa 10^{14} cm^{-2} [48]. Durch Kombination mehrerer oxidischer Materialien können die Eigenschaften der einzelnen Materialien sogar übertroffen werden und es können neue, im Inneren des Volumens der einzelnen Materialien nicht vorhandene, Phasen auftreten.

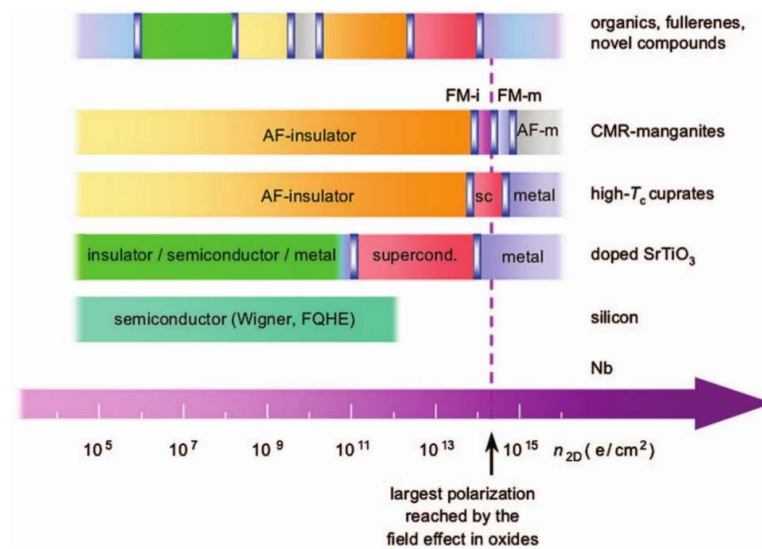


Abbildung 13

Schematische Darstellung von Bereichen elektronischer Phasen unterschiedlicher Materialien in Abhängigkeit der Ladungsträgerdichte bei $T = 0$ K. CMR steht für den Kolossalen Magnetoresistiven Effekt, hier am Beispiel von $(La,Sr)MnO_3$. Der Verlauf des Hochtemperatur-Supraleiters (high- T_c cuprates) spiegelt die Eigenschaften von $YBa_2Cu_3O_{7-x}$ wider. AF: Antiferromagnet, FM: Ferromagnet, I: Isolator, M: Metall, SC: Supraleiter, Wigner: Wigner-Kristall, FQHE: fraktionaler Quanten-Hall-Effekt. Grafik aus [46].

2.2 Einführung in die elektronischen Eigenschaften oxidischer Grenzflächen

Oxide besitzen vielseitige elektronische Eigenschaften und dennoch eine sehr ähnliche oder gleiche Gitterstruktur. Diese gemeinsame Struktur oxidischer Perowskite und Perowskit-ähnlicher Verbindungen ermöglicht es, Kombinationen aus unterschiedlichen Materialien herzustellen, vergleichbar einem Baukastenprinzip [49]. So lassen sich aus den einzelnen – für sich bereits spannenden – Materialien neue Materialkombinationen erzeugen, deren Eigenschaften die einzelnen Volumeneigenschaften übertreffen [50].

Berühren sich zwei verschiedene Materialien, entsteht eine Grenzfläche. An Grenzflächen kommt es im Allgemeinen zu einer Bandverbiegung. Viele moderne Halbleiterbauelemente funktionieren auf Grund dieses Mechanismus. Die Bandverbiegung an einer $\text{Al}_x\text{Ga}_{1-x}\text{As}$ -GaAs-Grenzfläche ist in Abbildung 14a exemplarisch dargestellt. Durch die Bandverbiegung entsteht ein Elektronensystem, das als quasi-zweidimensionales Elektronengas in einem Potentialtopf behandelt werden kann [7]. Ein quasi-zweidimensionales Elektronengas konnte auch von A. Tsukazaki *et al.* an einer Grenzfläche zwischen den Oxiden ZnO und $\text{Mn}_x\text{Zn}_{1-x}\text{O}$ beobachtet werden [51]. Die großen Beweglichkeiten der Elektronen bei tiefen Temperaturen in diesem System ermöglichen sogar das Auftreten des Quanten-Hall-Effekts. ZnO ist dennoch nur ein Verbindungshalbleiter mit einer Bandlücke von 3,3 eV [52], in dem elektronische Korrelationen keine wichtige Rolle spielen [10].

Da sich die elektronischen Eigenschaften komplexer Oxide von den elektronischen Eigenschaften von Halbleitern unterscheiden, liegt der Schluss nahe, dass sich auch Grenzflächen dieser komplexen Oxide vollkommen anders verhalten als Grenzflächen in Halbleiter-Systemen. Neuartige Phasen an oxidischen Grenzflächen, die an Halbleiter-Grenzflächen nicht auftreten, sind vorstellbar [10].

Als Beispiel für ein oxidisches System zeigt Abbildung 14b die vorgeschlagene Konfiguration des Elektronensystems einer $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche [53]. Neben einer schwachen Bandverbiegung wird das Elektronensystem maßgeblich durch das Coulomb-Potential der Titan-Ionenrümpfe bestimmt und unterscheidet sich vollkommen von dem Charakter der Elektronensysteme an Halbleiter-Grenzflächen.

Elektronische Korrelationen können zu unerwartetem und neuartigem Verhalten führen. Die Kapazität eines Plattenkondensators kann zum Beispiel durch Korrelationseffekte deutlich die geometrische Kapazität übersteigen [54]. $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen sind ein sehr gutes Beispielsystem für Systeme, in denen elektronische Korrelationen auftreten und die zugleich funktionale Eigenschaften besitzt. Einen Überblick über die interessanten Eigenschaften der $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche wird im Folgenden gegeben.

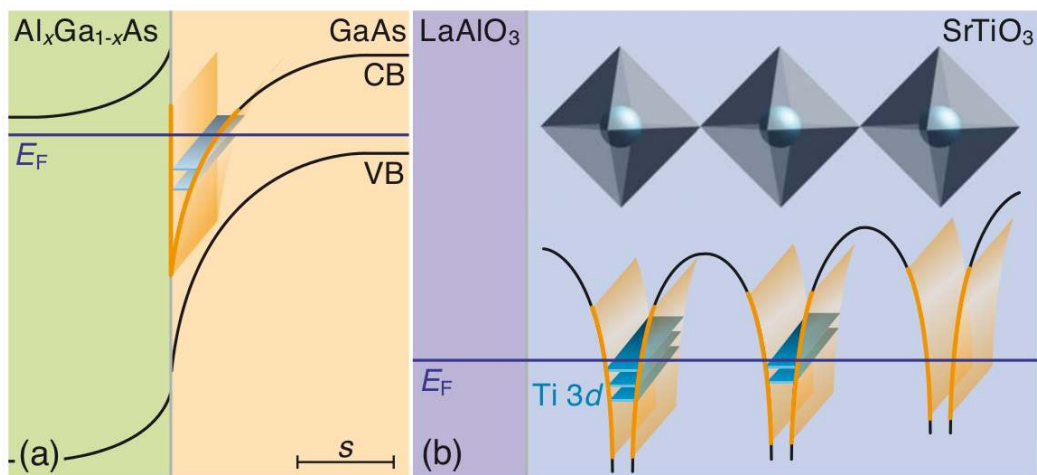


Abbildung 14

Illustration von möglichen elektronischen Konfigurationen an (a) einer Halbleiter-Grenzfläche und (b) einer $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche. (a) Durch Bandverbiegung bildet sich ein Elektronengas an der $\text{Al}_x\text{Ga}_{1-x}\text{As}$ -GaAs-Grenzfläche. Die Dicke der leitfähigen Schicht wird durch die elektrostatische Abschirmlänge s bestimmt. CB: Leitungsband-Unterkante, VB: Valenzband-Oberkante, E_F : Fermi-Niveau. (b) Das Coulomb-Potential der Titan-Ionen und eine schwache Bandverbiegung definieren dieses Elektronensystem. Grafik aus [53].

2.3 Die n -Typ $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche als Modellsystem

A. Ohtomo und H. Y. Hwang entdeckten 2004, dass sich an der Grenzfläche zwischen LaAlO_3 und SrTiO_3 ein metallisch leitendes Elektronensystem ausbildet [55]. Voraussetzung dafür ist eine TiO_2 -Terminierung des SrTiO_3 -Substrats. Da der elektrische Transport durch Elektronen getragen wird, bezeichnet man diese Grenzfläche auch als n -Typ. SrO -terminierte SrTiO_3 -Oberflächen erzeugen hingegen keine p -leitende Schicht. Das Elektronensystem kommt also nur an einer $(\text{LaO})/(\text{TiO}_2)$ -Grenzfläche zustande. Es ist erstaunlich, dass das Elektronensystem überhaupt auftritt, da LaAlO_3 und SrTiO_3 für sich nicht leiten. Dieses System ist seit seiner Entdeckung bis heute Gegenstand zahlreicher theoretischer und experimenteller Untersuchungen.

2006 fand S. Thiel *et al.* heraus, dass dieses Elektronensystem nur zustande kommt, wenn die Schichtdicke eines epitaktisch aufgewachsenen LaAlO_3 -Films aus SrTiO_3 mindestens vier Einheitszellen (EZ) beträgt [56]. Bei dünneren oder amorphen Filmen verhält sich das gesamte System isolierend. Der Widerstand der Grenzfläche sinkt beim Übergang von einer LaAlO_3 -Schichtdicke von 3 zu 4 Einheitszellen sprunghaft und zeigt keinen kontinuierlichen Übergang.

Das Elektronensystem an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen ist nur in einer vergleichsweise dünnen Schicht nahe der Grenzfläche vorhanden. Dies wurde 2008 von M. Basletic *et al.* gezeigt [57]. Mittels Rasterkraftmikroskopie (AFM) unter Verwendung einer leitfähigen Spitze (*conducting tip* AFM) konnte die Leitfähigkeit eines Probenquerschnitts lokal aufgelöst werden. Die Ausdehnung des Elektronensystems konnte auf wenige nm eingegrenzt werden. Wegen seiner geringen Dicke wurde das System lange Zeit als quazweidimensionales Elektronengas bezeichnet. Die experimentell bestimmte Anzahl an Ladungsträgern von $\text{LaAlO}_3/\text{SrTiO}_3$ -Proben wird deshalb pro Fläche (cm^{-2}) angegeben, der elektrische Widerstand wird auf die Fläche normiert (Schichtwiderstand oder Flächenwiderstand). Der Flächenwiderstand $R_\square$ und die Ladungsträgerdichte $n_\square$ von LaAlO_3 - SrTiO_3 -Grenzflächen unterliegen leichten Schwankungen von Probe zu Probe, liegen aber größenordnungsmäßig bei $R_\square \approx 10 \text{ k}\Omega$ und $n_\square \approx 10^{13} \text{ cm}^{-2}$ [58]. Die elektronischen Eigenschaften des Systems $\text{LaAlO}_3/\text{SrTiO}_3$ hängen stark von den Prozessparametern ab, die bei der Probenherstellung verwendet werden. Im nächsten Kapitel wird der Herstellungsprozess von $\text{LaAlO}_3/\text{SrTiO}_3$ -Proben genauer behandelt. Proben, die bei niedrigen Drücken von 10^{-6} mbar hergestellt werden, zeigen deutlich geringere Werte für $R_\square$ als Proben, die bei Drücken von mindestens 10^{-5} mbar hergestellt werden [59]. Die Leitfähigkeit solcher Proben kommt durch Sauerstofffehlstellen im Substrat zustande und findet nicht mehr nur an der Grenzfläche statt, sondern auch deutlich tiefer im Substrat [57].

Eine weitere besondere Entdeckung wurde von M. Breitschaft *et al.* gemacht [53]. Mit Hilfe eines kombinierten Rasterkraft-/Rastertunnelmikroskops konnte er Tunnelspektren des Elektronensystems bestimmen. Diese Tunnelspektren wurden mit theoretischen Modellen der Dichtefunktionaltheorie verglichen. Die beste Beschreibung der Messdaten kann derzeit mit Modellen erzielt werden, in denen elektronische Korrelationen be-

rücksichtigt werden. An $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen treten also elektronische Korrelationen auf. Das Elektronensystem wird deshalb auch als zweidimensionale Elektronen-Flüssigkeit (2-DEL, *two-dimensional electron liquid*) bezeichnet.

Feld-Effekt am System $\text{LaAlO}_3\text{-SrTiO}_3$

Die Ladungsträgerdichte der 2-DEL an einer $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche kann durch elektrische Felder senkrecht zur Grenzfläche verändert werden. $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen zeigen nicht nur metallische Leitfähigkeit, sondern werden bei einer Sprungtemperatur von $T_c \approx 200 \text{ mK}$ sogar supraleitend [60]. Der supraleitende Zustand lässt sich durch elektrische Felder unterdrücken [61].

Sehr bald nach Entdeckung des $\text{LaAlO}_3/\text{SrTiO}_3$ -Systems konnte S. Thiel *et al.* zeigen, dass der Widerstand der hochohmigen Grenzfläche unter 3 Einheitszellen dickem LaAlO_3 um Größenordnungen verringert werden kann, wenn zwischen Grenzfläche und Substrat-Rückseite eine Spannung von mehreren 10 V angelegt wird [56]. Eine Spannung, die in dieser Konfiguration angelegt wird, heißt Backgate-Spannung (siehe Abbildung 15a und b).

C. Richter untersuchte den Feld-Effekt an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen intensiv und fand unter anderem heraus, dass leitfähige Grenzflächen unter mindestens 4 EZ dickem LaAlO_3 durch elektrische Felder in einen isolierenden Zustand gebracht werden können [62]. Gliedert man qualitativ die beiden Zustände der Grenzfläche „leitfähig“ und „isolierend“, kann durch elektrische Spannungen die Leitfähigkeit ein- und ausgeschaltet werden. Mit der angelegten Gatespannung lässt sich ein Metall-Isolator-Übergang induzieren [63].

In den Feld-Effekt-Experimenten von C. Richter wurden die Schaltspannungen nicht in der Backgate-Konfiguration angelegt. Stattdessen wurden die Gatespannungen zwischen der Grenzfläche und einer Metallschicht, meist Gold, auf der LaAlO_3 -Oberfläche angelegt. Diese Konfiguration heißt Topgate-Konfiguration. (siehe Abbildungen 15c und d), so angelegte Spannungen heißen Topgate-Spannungen. Im Vergleich zu Backgate-Spannungen sind die Topgate-Spannungen, die zum Schalten der Grenzfläche benötigt werden, deutlich geringer (wenige V). Bei Zimmertemperatur liegt die Dielektrizitätskonstante von SrTiO_3 zwar um eine Größenordnung über der Dielektrizitätskonstante von LaAlO_3 [64, 65]. Dies wird aber durch die wesentlich geringere Dicke des LaAlO_3 -Films überkompensiert. Grenzflächen zwischen 3 EZ dickem LaAlO_3 und SrTiO_3 lassen sich in Topgate-Konfiguration jedoch nicht vollständig leitfähig schalten [56, 62].

Zwei leitfähige Schichten werden durch ihre Kapazität charakterisiert. Ein System, bestehend zum Beispiel aus Topgate-Elektrode und 2-DEL (Abbildung 15c), kann als Plattenkondensator betrachtet werden, wenn die lateralen Abmessungen der Platten den Plattenabstand um ein Vielfaches übertreffen. Der Plattenabstand entspricht der Dicke des LaAlO_3 -Films, also des Dielektrikums. Wird eine Spannung an diesen Kondensator angelegt, bewirkt das elektrische Feld eine Änderung der Ladungsträgerdichte. Wenn

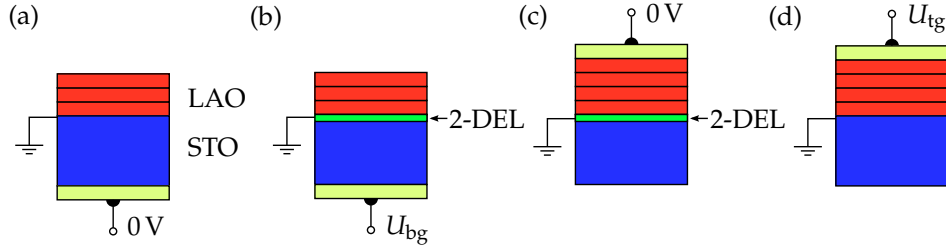


Abbildung 15

Schematische Darstellung unterschiedlicher Gate-Konfigurationen an $\text{LaAlO}_3/\text{SrTiO}_3$ -Strukturen mit LaAlO_3 -Schichtdicken von 3 EZ (a und b) und 4 EZ (c und d). (a) Backgate-Konfiguration ohne angelegte Spannung. (b) Backgate-Konfiguration mit angelegter Spannung $U_{bg} > 0\text{ V}$ und induzierter Leitfähigkeit. (c) Topgate-Konfiguration ohne angelegte Spannung. (d) Topgate-Konfiguration mit angelegter Spannung $U_{tg} < 0\text{ V}$ und ausgeschalteter Leitfähigkeit.

die Grenzfläche dabei isolierend wird, ändert sich die Kapazität des Systems deutlich [62].

Kapazitätsmessungen an $\text{LaAlO}_3/\text{SrTiO}_3$ -Proben mit Schichtdicken von 10 EZ und 12 EZ in Topgate-Konfiguration wurden von L. Li *et al.* durchgeführt. Die Bestimmung der Kapazität an Proben mit dünnen (zum Beispiel 4 EZ) LaAlO_3 -Schichten ist schwieriger als mit dickeren Schichten, da Leckströme mit abnehmender Schichtdicke stark zunehmen. Die Messungen von L. Li zeigen eine starke Kapazitätserhöhung. Diese Erhöhung tritt im Spannungsbereich des Metall-Isolator-Übergangs auf und beträgt circa 40 Prozent der geometrisch erwarteten Kapazität [66]. L. Li *et al.* führen dieses Ergebnis auf einen Beitrag der sogenannten Quantenkapazität C_q zur Gesamtkapazität C_{ges} zurück, die verknüpft sind durch

$$\frac{1}{C_{\text{ges}}} = \frac{1}{C_{\text{geo}}} + \frac{1}{C_q}. \quad (10)$$

C_{geo} bezeichnet die geometrische Kapazität des Systems, zum Beispiel die eines Plattenkondensators. Die Quantenkapazität wird mit der Elementarladung e , der Ladungsträgerdichte n , dem chemischen Potential μ und der Kondensatorfläche A gegeben durch [66]

$$C_q = \frac{1}{Ae^2 (dn/d\mu)} \quad (11)$$

C_q enthält die sogenannte elektronische Kompressibilität des Systems. Sie ist gegeben durch

$$\kappa = \left(n^2 \frac{dn}{d\mu} \right)^{-1} \quad (12)$$

Wenn die gemessene Gesamtkapazität eines Systems größer wird als C_{geo} , muss C_q zwangsweise negativ werden. In diesem Fall wird auch die elektronische Kompressibilität negativ.

V. Tinkl konnte die negative elektronische Kompressibilität mit einer anderen Messmethode sogar an dünneren als die von L. Li untersuchten LaAlO_3 -Filmen nachweisen [67]. Mit Hilfe eines Rastersondenmikroskops führte sie Kelvin-Probe-Untersuchungen durch. Ihre Messungen bestätigen das Auftreten einer negativen elektronischen Kompressibilität an Proben mit einer Schichtdicke von 4 EZ. Die negative Kompressibilität der $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche übertrifft sogar die in Halbleitersystemen [68, 69] oder Kohlenstoff-Nanoröhren [70] bestimmten negativen Kompressibilitäten.

Die Bestimmung der elektronischen Kompressibilität durch L. Li und V. Tinkl wurde auf unterschiedliche Weise vorgenommen. Die Kapazitätsmessungen von L. Li wurden unter Verwendung eines $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ -Topgates durchgeführt. V. Tinkl verwendete hingegen die bewegliche Spitze des Rastersondenmikroskops für ihre Messungen.

Topgate-Materialien beeinflussen die Grenzflächeneigenschaften maßgeblich. B. Förg untersuchte in seiner Masterarbeit FETs mit dem Gatematerial $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$. Er konnte zeigen, dass die Leitfähigkeit der $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche durch die $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ -Schicht auf der Oberfläche reduziert und bei sehr dünnen Filmen sogar unterdrückt wird [71, 72]. Aus theoretischen Überlegungen von Arras *et al.* geht hervor, dass auch metallische Schichten auf der LaAlO_3 -Oberfläche die Leitfähigkeit der $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche unterdrücken können [73].

Die Rasterkraftmikroskopie ermöglicht nicht nur die lokale Analyse der elektronischen Eigenschaften der 2-DEL. Mit ihr können leitfähige Bereiche an isolierenden $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen sogar erzeugt und vernichtet werden [74, 75]. Elektrische Spannungen, die zwischen einer Spitze und der Probe angelegt werden, bewirken eine starke lokale Änderung der Leitfähigkeit. Die Änderung ist auf einen schmalen Bereich der Grenzfläche beschränkt. Die laterale Ausdehnung so erzeugter Linien kann auf wenige Nanometer [74] eingegrenzt werden, weshalb hier auch von Nanostrukturierung oder vom Linienschreiben gesprochen wird. Xie *et al.* konnten außerdem zeigen, dass der Widerstand leitfähiger Proben mit Hilfe der Nanostrukturierung stark erhöht werden kann [76].

Das Erzeugen und Löschen einer leitfähigen Verbindung zwischen zwei Grenzflächenkontakten ist in Abbildung 16 schematisch dargestellt. Zwischen einem Grenzflächenkontakt der Spitze liegt eine Spannung an. Analog zur Vorzeichen-Konvention für Gate-Spannungen (Abbildungen 15) drückt eine positive Spannung eine Potentialerhöhung der Elektrode gegenüber der Grenzfläche aus. Positive Spannungen erzeugen leitfähige Bereiche von langer Lebensdauer. Die Leitfähigkeit erzeugter Strukturen bleibt über viele Stunden bis hin zu Tagen stabil [74, 75]. Durch die Bewegung der Spitze von einem Kontakt zu einem weiteren kann eine persistente elektronische Verbindung erzeugt werden (siehe Abbildung 16a). Durch Überstreichen einer geschriebenen Linie mit angelegter negativer Spannung wird die lokale Erhöhung der Leitfähigkeit unterdrückt (siehe Abbildung 16b).

Mit der Nanostrukturierung lassen sich leitfähige Strukturen an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen erzeugen und löschen, ähnlich dem Schreiben mit einem Bleistift und Löschen

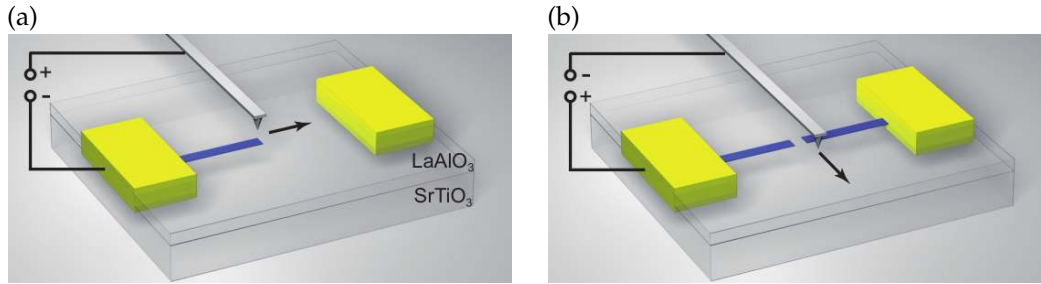


Abbildung 16

Schematische Darstellung des Schreibens und Löschens leitfähiger Nanostrukturen an einer LaAlO₃/SrTiO₃-Grenzfläche. (a) Mit positiv geladener Spitze wird eine Linie abgefahren. Das elektrische Feld der Spitze erzeugt leitfähige Bereiche an der Grenzfläche. (b) Mit negativ geladener Spitze wird die Linie gekreuzt. Dabei wird die leitfähige Verbindung gelöscht. Grafik aus [75].

mit einem Radiergummi [77]. Die Abmessungen der Linien sind mit den Abmessungen von Kohlenstoff-Nanoröhren vergleichbar, jedoch gezielt an bestimmten Orten erzeugbar [78]. Die Größe der Schreibspannung bestimmt die Eigenschaften der geschriebenen Linien. Größere Spannungen erzeugen größere Unterschiede in der elektrischen Leitfähigkeit. Mit Spannungen von 10 V klingt die erzeugte Leitfähigkeit deutlich schneller ab als bei Verwendung einer Schreibspannung von 20 V [75] (siehe Abbildung 17). Experimentell wird die Spannung vorgegeben, die Form der Spitze des verwendeten Sensors bestimmt die Stärke des elektrischen Feldes.

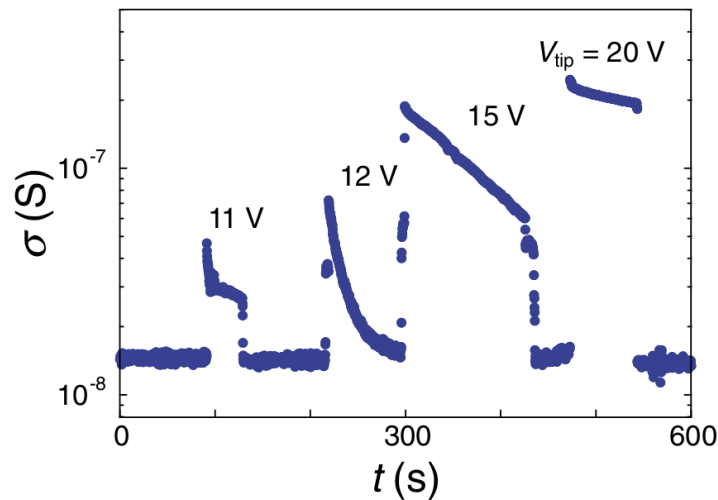


Abbildung 17

Dargestellt sind Änderungen im Leitfähigkeitsverlauf $\sigma(t)$, die durch elektrostatisch erzeugte Linien an einer LaAlO₃/SrTiO₃-Grenzfläche zustande kommen. Die Höhe und die Stabilität der erzeugten Sprünge hängt stark von der Wahl der verwendeten Schreibspannung (V_{tip}) ab. Aus [75].

Wird während des Schreibvorgangs die Spannung verändert, kann innerhalb einer ge-

schriebenen Linie ein Gradient in der Leitfähigkeit erzeugt werden. Die $I(V)$ -Charakteristiken solcher Linien ähneln der Charakteristik von Schottky-Kontakten, zeigen also nichtlineares Dioden-artiges Verhalten. Das interne elektrische Feld, das durch den Potentialgradienten erzeugt wird, beträgt etwa 10^6 V/cm [79]. Da die erzeugten Linien eine sehr geringe laterale Ausdehnung besitzen, können mit diesem Verfahren sogar sehr kleine leitfähige Bereiche, nahezu sogenannte Quantenpunkte hergestellt werden [80].

Erklärungsansätze zur Entstehung der 2-DEL

Obwohl LaAlO_3 und SrTiO_3 Isolatoren sind, leitet die Grenzfläche dieser beiden Oxide. Zur Entstehung des zweidimensionalen Elektronensystems werden verschiedene Erklärungsansätze diskutiert.

SrTiO_3 wird durch Sauerstofffehlstellen leitfähig. Ein naheliegendes Argument ist also, dass die Leitfähigkeit der Grenzfläche durch Sauerstofffehlstellen zustande kommt. Daneben wird das sogenannte *Intermixing* diskutiert [81], also der Austausch unterschiedlicher Ionen benachbarter Gitterplätze. Beide Arten von Defekten können im Experiment nicht vollständig ausgeschlossen werden. Intermixing konnte an TiO_2 -terminierten $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen gezeigt werden [82].

Bei der Herstellung oxidischer Heterostrukturen spielt der Sauerstoff-Partialdruck eine entscheidende Rolle (siehe Kapitel 3). Der Standard-Druck bei der Herstellung von $\text{LaAlO}_3/\text{SrTiO}_3$ -Heterostrukturen beträgt 10^{-4} mbar. Außerdem ist das Ausheilen einer hergestellten Schicht bei 400 mbar nötig, um die Anzahl der Fehlstellen zu minimieren. Bei deutlich niedrigeren Drücken bestimmen Sauerstofffehlstellen die Probeneigenschaften [57].

Einige der experimentellen Beobachtungen an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen sind nicht allein durch Fehlstellen oder *Intermixing* erklärbar [83]. Zu diesen Beobachtungen gehören, wie vorher beschrieben:

- die $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche auf TiO_2 -terminierten Substraten leitet, auf SrO -terminierten Substraten leitet sie nicht
- Systeme mit amorphem LaAlO_3 auf SrTiO_3 verhalten sich isolierend [58]
- Systeme mit einer LaAlO_3 -Schichtdicke weniger 4 Einheitszellen leiten nicht
- Tunneldaten werden sehr gut von Ergebnissen der Dichtefunktionaltheorie für störstellenfreie Grenzflächen beschrieben

Fehlstellen an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen können bei der Probenherstellung zwar nicht vollständig vermieden werden, erklären aber nicht alle experimentell beobachteten Eigenschaften des Systems. Das einzige Szenario, welches experimentellen Beobachtungen am besten erklärt, ist das der so genannten polaren Katastrophe [82, 84]. Für eine vereinfachte Darstellung des Szenarios werden LaAlO_3 und SrTiO_3 zuerst strukturell analysiert:

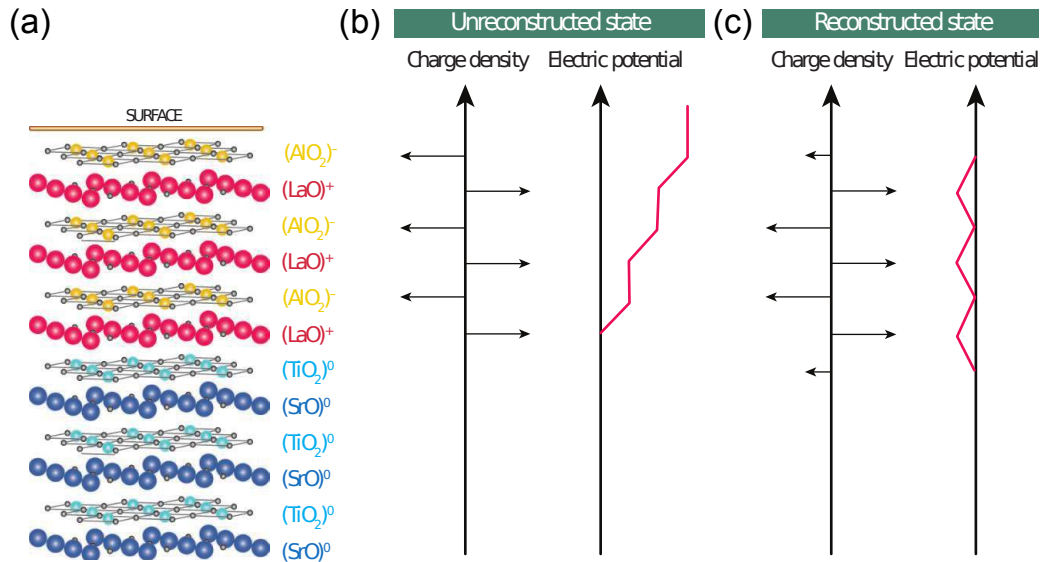


Abbildung 18

(a) Schematische Darstellung von LaAlO₃ auf SrTiO₃. In dieser Darstellung werden die Atome lagenweise gruppiert. Durch Addition der Valenzen pro Lage ergeben sich die dargestellten Ladungen. LaO und AlO₂ sind alternierend positiv und negativ geladen, die Lagen im SrTiO₃ sind neutral. (b) Wegen dieser Ladungsverteilung divergiert das elektrische Potential einer solchen Anordnung mit der Schichtdicke. (c) Eine Ladungsumverteilung verhindert die Divergenz des elektrischen Potentials mit der Schichtdicke. Grafik nach [84].

SrTiO₃ ist in (001)-Richtung abwechselnd aus TiO₂- und SrO-Lagen aufgebaut. Addiert man die Valenzen der Ionen pro Lage auf, so kompensieren die Ladungen der Ti⁴⁺-Ionen gerade die Ladungen der O²⁻-Ionen. Die gleiche Rechnung für die SrO-Lagen führt ebenfalls zu ladungsneutralen Lagen. Anders verhält es sich im LaAlO₃-Film. Die Ionen in den LaO-Lagen besetzen die Zustände La³⁺ und O²⁻. In jeder dieser Lagen bleibt also ein positiver Ladungsüberschuss pro Einheitszelle. Analog dazu erhält man für Al³⁺ und O²⁻ einen negativen Ladungsüberschuss pro Elementarzelle in den AlO₂-Lagen. In einem einfachen elektrostatischen Bild werden die Ladungen lagenweise aufgetragen (Abb. 18a). Damit ergibt sich ab der Grenzfläche ein Potential, das mit zunehmender LaAlO₃-Schichtdicke divergiert (Abb. 18b). Diese Divergenz kann nach N. Nakagawa *et al.* [82] durch eine elektronische Rekonstruktion vermieden werden. Bei dieser Rekonstruktion werden Ladungen, genauer gesagt eine halbe Elementarladung pro Einheitszelle, von der obersten AlO₂-Lage zur Grenzfläche transportiert. Daraus ergibt sich Abbildung 18c ohne divergierendes Potential. Rechnerisch resultiert daraus eine Flächenladungsträgerdichte an der Grenzfläche von 10¹⁴ cm⁻². Flächenladungsträgerdichten, die an LaAlO₃/SrTiO₃-Grenzflächen im Experiment bestimmt werden, sind eine Größenordnung kleiner. Das bedeutet entweder, dass nicht alle Ladungsträger zum elektronischen Transport beitragen, oder auch, dass weniger Ladungsträger an die Grenzfläche transportiert werden.

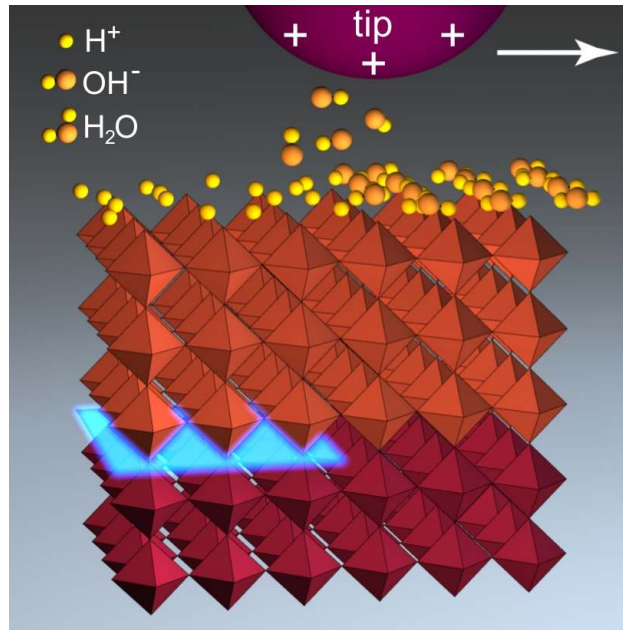


Abbildung 19

Schematische Darstellung (aus [75]) eines Mechanismus zur Erzeugung leitfähiger Linien an einer $\text{LaAlO}_3/\text{SrTiO}_3$ -Heterostruktur nach Überlegungen von S. Hellberg [85]. Auf der Oberfläche der Heterostruktur befinden sich Wassermoleküle, die in H^+ - und OH^- -Ionen dissoziieren. Eine AFM-Spitze (tip) ist gegenüber dem System positiv geladen und bewegt sich entlang der Oberfläche der Heterostruktur. Dabei werden OH^- -Ionen entfernt, H^+ -Ionen bleiben zurück. Die positiven Ladungen an der Oberfläche werden kompensiert durch negative Ladungen an der LaAlO_3 - SrTiO_3 -Grenzfläche. Die negativen Ladungen bilden ein zweidimensionales Elektronensystem (blau).

Vorgeschlagener Mechanismus zur Erzeugung leitfähiger Linien

Ein Erklärungsansatz zur Entstehung der leitfähigen Linien an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen wurde von S. Hellberg geliefert [85]. Aus seinen Überlegungen geht hervor, dass induzierte Oberflächenladungen für die starke Leitfähigkeitsänderung verantwortlich sind. Der vorgeschlagene Mechanismus läuft wie folgt ab:

Wassermoleküle auf der Probenoberfläche, genauer gesagt auf der AlO_2 -Oberfläche, dissoziieren in OH^- und H^+ . Eine gegenüber der Grenzfläche positiv geladene AFM-Spitze entfernt durch elektrostatische Wechselwirkung OH^- -Ionen von der Oberfläche. Zurück bleiben vermehrt H^+ -Ionen. Diese positiven Ladungen werden durch negative Ladungen an der Grenzfläche kompensiert, es tritt ein lokal induzierter Metall-Isolator-Übergang auf. Beim Löschvorgang werden die positiven Ionen durch das elektrische Feld entfernt. Tatsächlich konnten Y. Xie *et al.* durch kleine elektrische Spannungen zwischen Spitze und Probe elektrostatisch geladene Bereiche der Probenoberfläche abbilden [76]. F. Bi *et al.* konnten zeigen, dass leitfähige Linien in Umgebungsatmosphäre erzeugt werden können, nicht aber in einer Atmosphäre aus Stickstoff, Helium, Vakuum oder trockener Luft. Das Löschen geschriebener Linien ist dagegen auch im Vakuum möglich.

Funktionale $\text{LaAlO}_3/\text{SrTiO}_3$ -Systeme

$\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen besitzen vielfältige experimentell und theoretisch bemerkenswerte Eigenschaften. Darüber hinaus sind sie für die Herstellung funktionaler Bauteile wie Feld-Effekt-Transistoren aus folgenden Gründen sehr interessant:

1. Das zweidimensionale Elektronensystem entsteht zwischen zwei Isolatoren mit großen Bandlücken und großen Dielektrizitätskonstanten. Strukturell ähnelt dieser Aufbau von Natur aus sehr stark dem idealisierten Aufbau von klassischen Feld-Effekt-Transistoren (Abbildung 20). Wegen ihrer guten dielektrischen Eigenschaften wurden sowohl LaAlO_3 [13] als auch SrTiO_3 [86] bereits als Gate-Dielektrika auf Halbleitern untersucht. Ein Nachteil dabei ist, dass beispielsweise SrTiO_3 auf Si bei hohen Wachstumstemperaturen von 1000 K chemisch nicht stabil ist [87].
2. Das $\text{LaAlO}_3/\text{SrTiO}_3$ -System unterscheidet sich grundsätzlich von Halbleiter-Grenzflächen-Systemen. Die Leitfähigkeit der Grenzfläche wird nicht durch einfaches chemisches Dotieren erzeugt. Das rechtfertigt die Annahme, dass dotierungsbedingte Probleme, die bei der Skalierung von konventionellen Halbleitern auftreten, bei $\text{LaAlO}_3/\text{SrTiO}_3$ -basierten Transistoren nicht auftreten.
3. LaAlO_3 und SrTiO_3 können strukturell bedingt mit vielen anderen oxidischen, funktionalen Materialien kombiniert werden (z.B. $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ [72], BaTiO_3 [88]). Deshalb sind Schaltungen verschiedenster funktionaler Materialien denkbar.
4. Das Elektronensystem lässt sich im Nanometerbereich strukturieren. Mit Hilfe des Linienschreibens lassen sich Strukturgrößen erzeugen, die mit anderen Lithographie-Techniken nur sehr schwer oder gar nicht zu erreichen sind [89].
5. An $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen bestimmen elektronische Korrelationen die elektronischen Eigenschaften. Da die Kapazität eines MOSFETs nach Kapitel 1 sein Schaltverhalten bestimmt, ist eine zentrale Frage: Welchen Effekt haben die elektronischen Korrelationen auf die Transistor-Funktionalität?

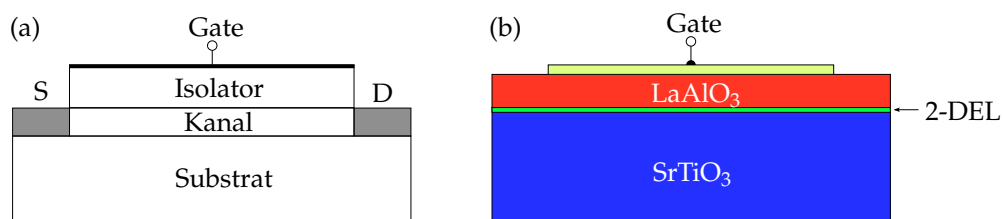


Abbildung 20

Schematische Darstellung des Querschnitts (a) eines idealisierten Feld-Effekt-Transistors und (b) eines Feld-Effekt-Transistors (ohne Source- und Drain-Anschlüsse) basierend auf einer $\text{LaAlO}_3/\text{SrTiO}_3$ -Heterostruktur.

3 Herstellung oxidischer Strukturen

Dieses Kapitel behandelt die Herstellung oxidischer Schichten und Heterostrukturen. Zur Herstellung von $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen werden dünne LaAlO_3 -Filme durch eine spezielle Technik, die gepulste Laserablation (PLD), auf SrTiO_3 -Substrate gewachsen. Mit dieser Vakuumtechnik lassen sich auch, gemessen an der Zahl unterschiedlicher Elemente, komplizierte Verbindungen wie zum Beispiel $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ stöchiometrisch auf ein Substrat übertragen. Mit der am Lehrstuhl vorhandenen PLD-Anlage wurden in dieser Arbeit Filme aus LaAlO_3 , BaTiO_3 , SrRuO_3 (siehe Anhang), SrTiO_3 und $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ hergestellt. Die Herstellung von LaAlO_3 -Filmen ist der zentrale Punkt der Probenherstellung in dieser Arbeit. Die Prozessschritte zur Herstellung oxidischer Schichten werden deshalb im folgenden anhand der Herstellung von LaAlO_3 -Filmen auf SrTiO_3 -Substraten exemplarisch erklärt.

3.1 Substratpräparation

SrTiO_3 -Substrate müssen TiO_2 -terminiert sein, damit die 2-DEL an der $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche entstehen kann (Kapitel 2.3). Zur Probenherstellung werden Substrate von der Firma Crystec [90] verwendet. Die üblichen Abmessungen solcher Substrate betragen 1 mm (Dicke) und 10 mm x 10 mm (lateral). Sie besitzen keine definierte Terminierung. Ihre Kanten werden zur (100)- und (010)-Richtung des Kristalls orientiert. Die Oberfläche des Kristalls steht fast senkrecht zur (001)-Richtung. Der Winkel zwischen der Oberflächennormalen und der (001)-Richtung des Kristalls wird als Miscal oder Fehlschnitt bezeichnet und beträgt bei den verwendeten Substraten circa $0,1^\circ$.

Vor der Terminierung werden die Substrate in der Regel in vier 5 mm x 5 mm x 1 mm große Stücke gesägt. Dabei wird die Oberfläche mit Photolack geschützt. Nach dem Sägen werden die Oberflächen gesäubert. Dazu werden die Substrate für 10 Minuten in Aceton in ein Ultraschallbad gelegt, anschließend mit Linsenpapier und Isopropanol poliert. Dann folgt erneut ein 10-minütiges Ultraschallbad in Aceton, gefolgt von einem letzten 10-minütigen Ultraschallbad in Isopropanol.

Die TiO_2 -Terminierung wird mit Hilfe einer nasschemischen Ätzprozedur erzeugt. Publiziert wurde dieses Verfahren als erstes von Kawasaki *et al.* und von Koster *et al.* weiter entwickelt [91, 92]. Die Prozedur beginnt mit einem 10-minütigen Ultraschallbad in doppelt destilliertem Wasser. SrO an der Oberfläche des Substrats reagiert dabei zu $\text{Sr}(\text{OH})_2$. Anschließend wird das $\text{Sr}(\text{OH})_2$ durch gepufferte Flusssäure (87,5% NH_4F , 12,5% HF) während einer Ätzzeit von 30 Sekunden gelöst. Auf der Oberfläche bleibt überwiegend TiO_2 zurück. Im nächsten Schritt werden die Substrate für 7 Stunden bei 950°C getempert. Sauerstofffluss während der Heizprozedur minimiert die Dotierung der Substrate mit Sauerstofffehlstellen. Nach einem mehrstündigen Abkühlprozess wird die terminierte Oberfläche zur Kontrolle mittels Rasterkraftmikroskopie analysiert. Abbildung 21 zeigt die rasterkraftmikroskopische Aufnahme der (001)-Oberfläche eines Substrats vor und nach der Terminierungsprozedur. Das terminierte Substrat besitzt die nach der Ter-

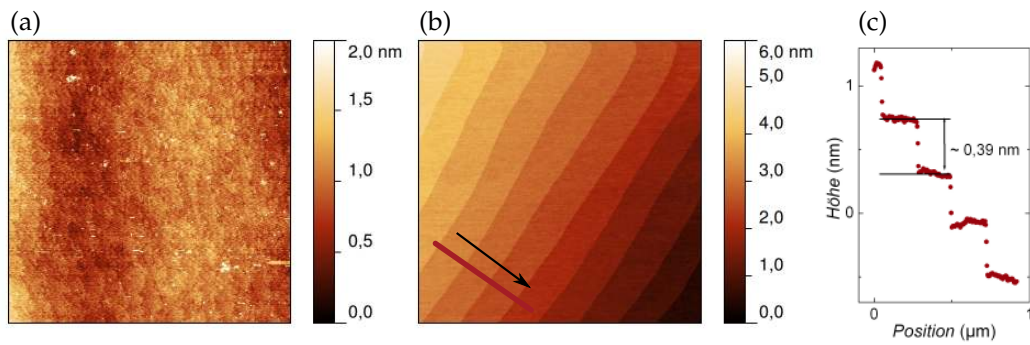


Abbildung 21

(a) Rasterkraftmikroskopische Aufnahme der Oberfläche eines SrTiO₃-Substrats (Scanbreite 5 µm) vor der Terminierung und (b) eines HF-terminierten SrTiO₃-Substrats (Scanbreite 2 µm). Durch den Terminierungsprozess, insbesondere den Tempersschritt, haben sich parallel verlaufende Stufen gebildet. (c) Höhenprofil entlang des in (b) markierten Pfades. Die Stufenhöhe entspricht in etwa der Höhe einer Einheitszelle von SrTiO₃.

minierungsprozedur typische Stufen- und Terrassenstruktur. Ein solches Substrat ist bereit zur Aufbringung eines LaAlO₃-Films mit Hilfe der gepulsten Laserablation.

3.2 Schichtherstellung mittels gepulster Laserablation

Die gepulste Laserablation ist eine Vakuumtechnik zur Herstellung dünner Filme und komplexer Heterostrukturen [93]. Das Filmmaterial wird von einem sogenannten Target ablatiert und setzt sich auf einem Substrat ab. Der Abtrag des Filmmaterials vom Target wird durch einen hochenergetischen Laserstrahl verursacht. Das abgetragene Material bildet anschließend auf dem Substrat den Film.

Abbildung 22 demonstriert den Aufbau eines PLD-Systems am Beispiel der PLD-Anlage des Lehrstuhls. Der wichtigste Teil des PLD-Prozesses findet in einer Vakuumkammer statt. Eine Turbomolekularpumpe pumpt die Vakuumkammer auf einen Basisdruck von 10⁻⁷ mbar oder geringer. Prozessgase wie zum Beispiel Sauerstoff oder Stickstoff werden kontrolliert durch ein geregeltes Nadelventil in die Kammer geleitet.

Vorbereitung der Deposition

Um das Substrat für die Deposition in die Vakuumkammer zu schleusen, wird es mit Leitsilber (Typ G3303A der Firma Plano [94]) auf einen Heizer geklebt. Der Heizer wird benötigt, um das Substrat auf die nötige Depositionstemperatur zu bringen. Außerdem ermöglicht der Heizer den Proben transfer zwischen den einzelnen Kammern des PLD-Systems. Auf einer Heizplatte kann das Lösungsmittel des Leitsilbers bei circa 90 °C verdampfen. Anschließend werden Heizer und Substrat in die Vakuumkammer geschleust.

Das Einschleusen erfolgt über eine kleine Kammer, dem Load-Lock, das durch ein Plattenventil von der übrigen Anlage getrennt werden kann. Wegen seiner geringen Abmessungen kann das Load-Lock innerhalb weniger Minuten belüftet und evakuiert werden.

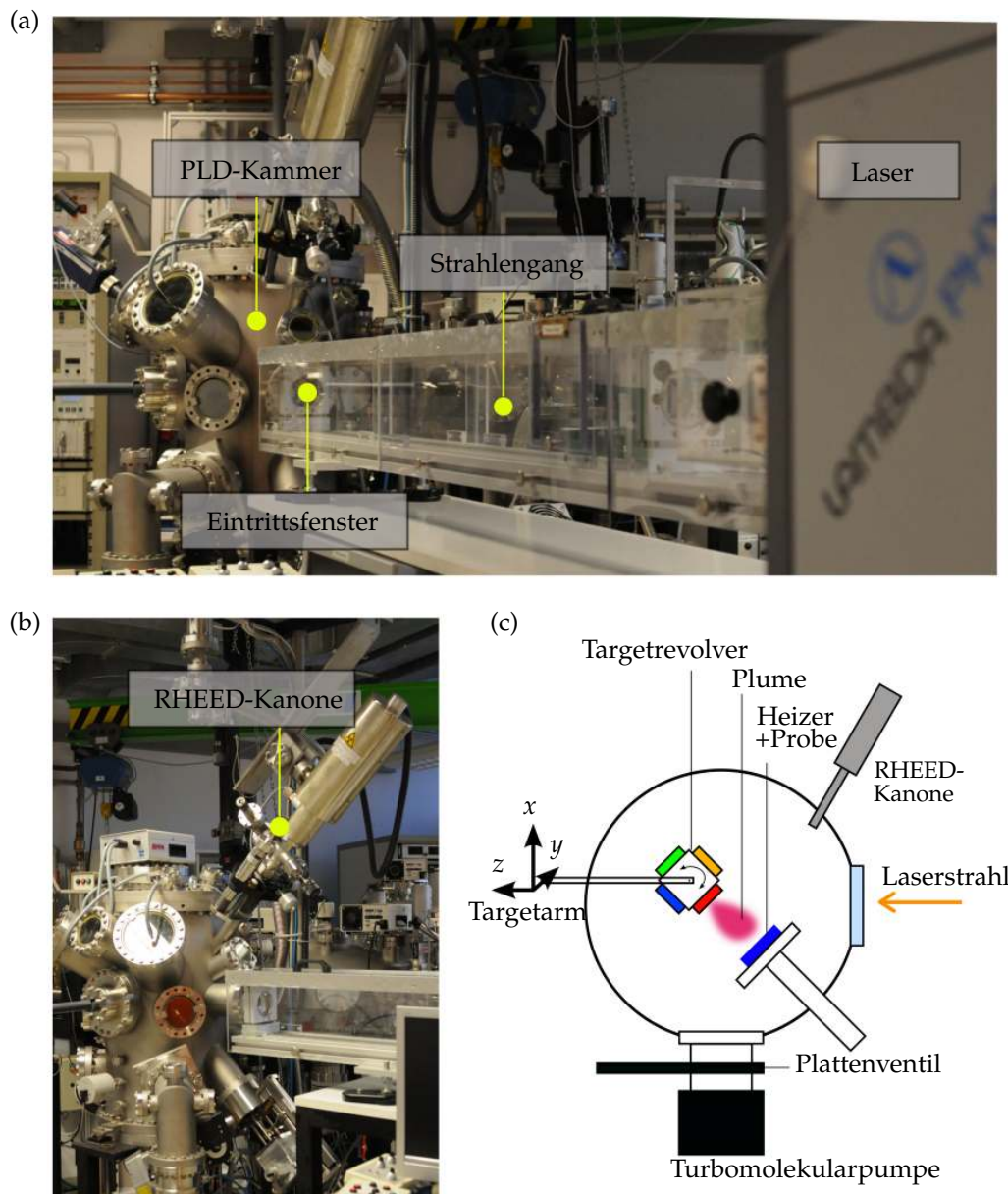


Abbildung 22

Figuren zur PLD-Anlage des Lehrstuhls Experimentalphysik 6. (a) Fotografie in Blickrichtung vom Laser zur PLD-Kammer. Der Strahlengang verbindet das Austrittsfenster des Lasers (nicht zu sehen) mit dem Eintrittsfenster der PLD-Kammer. (b) Fotografie der PLD-Kammer, seitlicher Blick. Von rechts kommt der Strahlengang an der Kammer an. Oberhalb der Eintrittsöffnung für den Laserstrahl ist die RHEED-Kanone montiert. (c) Schematische Darstellung wichtiger Komponenten des PLD-Systems. Das Target befindet sich auf einem Arm, der in alle drei Raumrichtungen bewegt werden kann. Der ankommende Laserstrahl verursacht die Bildung eines Plumes, der auf den Heizer mit aufgeklebter Probe gerichtet ist. Der Kammerdruck wird von einer Turbomolekularpumpe, die hinter einem geregelten Plattenventil montiert ist, erzeugt.

Beim Einschleusen wird die Probe vom Load-Lock durch ein Transfersystem in die PLD-Kammer transferiert. Dieser Aufbau ermöglicht Ein- und Ausbau der Proben ohne dabei das Vakuum der PLD-Kammer zu brechen.

An der PLD-Kammer ist ein Wobblestick angebracht. Dabei handelt es sich um einen Greifarm, der in der Vakuumkammer Gegenstände aufnehmen kann und der von außerhalb der Kammer bedient wird. Mit diesem Wobblestick kann der Heizer von der Transfereinheit genommen und in eine Heizerwanne gelegt werden. Auf der Rückseite des Heizers und in der Heizerwanne befinden sich elektrische Kontakte. Durch diese Kontakte kann Strom durch einen Draht im Inneren des Heizers getrieben werden. Dieser Strom erhitzt den Heizer und mit ihm das Substrat auf mehrere 100 °C. Die Wachstumstemperatur für LaAlO₃-Filme beträgt beispielsweise 780 °C.

Die Oberfläche des entsprechenden Targets wird vor jeder Deposition abgeschliffen und poliert. Dazu kann das Target, das auf einen Halter aufgeklebt ist, über die Transfereinheit und das Load-Lock aus der Vakuumkammer geschleust werden. Mit Schleifpapier und Linsenpapier wird die Oberfläche behandelt. Anschließend wird das Target wieder eingeschleust und im Targethalter montiert. Der Targethalter besteht aus einem Revolver, der bis zu vier unterschiedliche Targets aufnehmen kann (siehe Abbildung 22c). Dadurch ist ein schneller und in-situ durchgeführter Targetwechsel zwischen mehreren aufeinander folgenden Depositionen möglich.

Außerhalb der Kammer befindet sich ein Excimer-Laser, der kurze Laserpulse (Pulsenergie circa 0,5 J, Pulsdauer 25 ns, Wellenlänge 248 nm) großer Leistung erzeugt. Die Randbereiche des Laserstrahls sind inhomogen und werden durch eine Blende im Strahlengang ausgeblendet. Ein Linsensystem bildet die Blende im Maßstab 4:1 durch ein Fenster in der Vakuumkammer hindurch auf die Targetoberfläche ab. Nach dem Einschleusen und Montieren des Targets wird der Teil der Targetoberfläche, der für die nachfolgende Deposition relevant ist, mit dem Laser beschossen. Dieser Vorgang heißt Präablation oder auch Preablation (engl.) und dient dazu, die oberste Schicht des Targets, die vor dem Einschleusen der Umgebungsluft ausgesetzt war, im Vakuum zu entfernen. Bei der Preablation befindet sich anstelle des Heizers mit aufgeklebtem Substrat ein Ersatzheizer ohne Substrat in der Heizerwanne. Der Ersatzheizer schützt während der Preablation die elektrischen Kontakte der Wanne.

Für das vorhandene PLD-System stehen Blenden unterschiedlicher Größe zur Verfügung. Bei den in dieser Arbeit hergestellten Proben wurde bei der Preablation meist eine größere Blende (8 mm Kantenlänge) verwendet als für die eigentliche Deposition (6 mm Kantenlänge). Das Bewegungsmuster des Targetarms wurde bei der Verwendung beider Blenden gleich gewählt. Dadurch ist bei der Preablation die Strahlquerschnittsfläche auf der Targetoberfläche größer als bei der eigentlichen Deposition. Dies ist sinnvoll, wenn beispielsweise bei der Herstellung von Heterostrukturen verschiedene Targets verwendet werden. Der Targetrevolver besitzt mechanisch bedingt etwas Spiel in der Rotationsbewegung. Unterschiedlich große Blenden sorgen dafür, dass auch im Falle einer geringen

Fehlausrichtung des Revolvers bei der Deposition das Target nur dort beschossen wird, wo es auch bei der Preablation getroffen wurde (Abbildung 23).

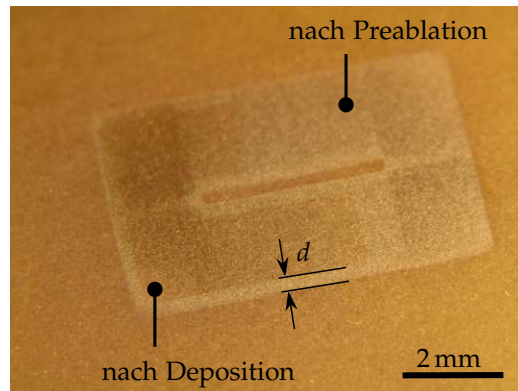


Abbildung 23

Lichtmikroskopische Aufnahme der Oberfläche eines LaAlO_3 -Targets nach Preablation und Deposition (Ablation). Bei der Preablation wird die Oberfläche entlang eines geschlossenen Rings mehrmals beschossen. Bei der Deposition wird die Oberfläche entlang der gleichen Bahn beschossen, allerdings mit kleinerem Strahlquerschnitt; zu erkennen an der dunkleren Bahn innerhalb der hellen Bahn. Dadurch ergibt sich ein Sicherheitsabstand d zwischen den Strukturkanten.

Durchführung der Deposition

Nach der Preablation wird der Heizer mit dem Substrat in die Heizerwanne gelegt und der Heizprozess durchgeführt. Eine Stromquelle gibt anhand der Vorgabe eines Programms den Heizstrom aus. Der typische Temperaturverlauf eines PLD-Prozesses ist in Abbildung 24 dargestellt. Ist die Wachstumstemperatur erreicht, wird die Deposition begonnen. Der Laser gibt dabei einzelne Pulse mit einer typischen Frequenz zwischen 1 Hz und 10 Hz aus. Die Anzahl der Schüsse bestimmt die Gesamtmenge des übertragenen Materials. Anhand der Schusszahl kann demnach die Dicke des hergestellten Films abgeschätzt werden. Für LaAlO_3 -Filme der Dicke 1 EZ (Einheitszelle) werden bei einer Laserenergie von 450 mJ etwa 18-20 Schüsse benötigt.

Beim Beschuss des Targets wird die Energie des Laserstrahls innerhalb sehr kurzer Zeit überwiegend auf der Oberfläche des Targets absorbiert. Durch die große Energie von mehreren hundert eV pro Atom [52] werden Atome von der Targetoberfläche gelöst und es bildet sich eine Plasmawolke, auch bezeichnet als Plume. Die Atome, Ionen und Elektronen im Plume besitzen große kinetische Energien und bewegen sich vom Target weg in Richtung Substrat. Dort bilden sie einen Film. Am Ende der Deposition erfolgt ein kontrollierter Abkühlprozess bei 400 mbar Sauerstoffdruck.

Ein geregeltes Nadelventil kontrolliert die Flussmenge des Prozessgases, das in die Kammer geleitet wird. Zur Herstellung von Oxiden wie LaAlO_3 wird in der Regel Sauerstoff verwendet. Der Druck ergibt sich aus der Flussmenge durch das Nadelventil und der Pumpleistung der Turbomolekularpumpe. Wenn die Deposition sehr hohe Drücke erfor-

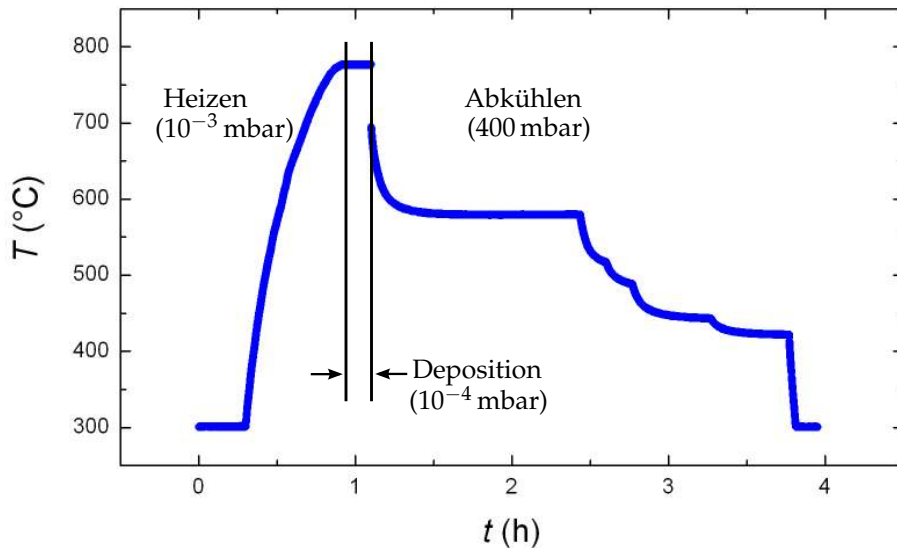


Abbildung 24

Aufgezeichneter Temperaturverlauf eines PLD-Prozesses zur Herstellung eines LaAlO_3 -Films. Die Messgrenze der pyrometrischen Temperaturbestimmung beträgt 300°C . Der jeweilige Sauerstoffdruck in der PLD-Kammer ist angegeben. Beim Abkühlen wird der Strom stufenweise reduziert.

der (10^{-3} mbar oder mehr), können diese erreicht werden, indem die effektive Pumpleistung durch ein geregeltes Plattenventil zwischen Pumpe und Kammer reduziert wird. Bei LaAlO_3 -Filmen beträgt der Prozessdruck 10^{-4} mbar.

Wie in Abbildung 25 dargestellt ist, gibt es verschiedene Mechanismen des Filmwachstums. Im einfachsten Fall bilden ankommende Atome, die Adatome, nach und nach eine Schicht der Dicke einer Einheitszelle. Danach beginnt eine neue Lage. Man spricht hier auch vom Lagenwachstum, *layer-by-layer*-Wachstum oder auch Frank-van-der-Merwe-Modus [95] (Abbildung 25a). Wenn dies für Adatome energetisch günstiger ist, kann es vorkommen, dass sie keine atomar glatten Lage aufbauen, sondern Inseln bilden (Volmer-Weber-Modus [96] oder Inselwachstum, Abbildung 25b). Daneben kann der sogenannte Stranski-Krastanow-Modus [97] auftreten, bei dem zuerst Lagen, dann Inseln gebildet werden (Abbildung 25c). Wenn die Adatome immer in Richtung der nächsthöheren Stufenkante diffundieren und dort Bindungen ausbilden, spricht man vom *step-flow*-Modus, da bei diesem Modus die Stufenkanten wandern (Abbildung 25d).

Welche dieser Wachstumsmodi auftritt hängt von zahlreichen Parametern ab. Laserenergie und Druck bestimmen die kinetische Energie, die Ausbreitungsgeschwindigkeit und die Form des Plumes [98]. Die kinetische Energie und die Sorte ankommender Target-Atome sowie die Substrattemperatur, das Substratmaterial und der Mischwinkel des Substrats bestimmen, an welchen Stellen die Target-Atome stabile Bindungen ausbilden. Es ist auch möglich, dass Atome durch zu hohe Energie wieder aus dem Film herausgeschlagen werden, was auch als Resputtering bezeichnet wird [93]. Außerdem kann es vorkommen, dass der Wachstumsmodus während der Deposition wechselt [99].

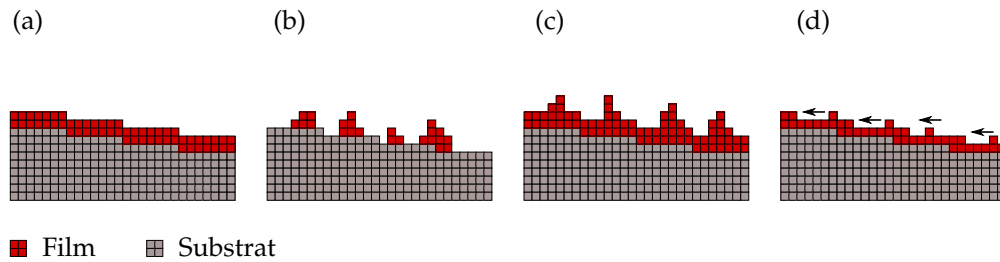


Abbildung 25

Schematische Darstellung unterschiedlicher Wachstumsmodi: (a) Layer-by-layer, (b) Inselwachstum, (c) Stranski-Krastanow, (d) Step-Flow; Adatome diffundieren zu den Stufenkanten, ohne eine Stufenkante zu überschreiten.

Kontrolle der Schichtdicken mittels RHEED

Bei der Herstellung dünner Filme kommt es häufig auf eine genaue Kontrolle der hergestellten Schichtdicke an. Besonders bei $\text{LaAlO}_3/\text{SrTiO}_3$ -Heterostrukturen entscheidet die LaAlO_3 -Schichtdicke über die Grenzflächeneigenschaften (siehe Kapitel 2.3). PLD-Systeme werden zur Schichtdickenkontrolle deshalb oft mit RHEED-Systemen kombiniert [100]. RHEED steht für *reflection high electron energy diffraction*. Mit Hilfe eines RHEED-Systems lässt sich die Anzahl der während einer Deposition gewachsenen Monolagen, also Lagen der Dicke einer Einheitszelle, bestimmen. Das Funktionsprinzip eines RHEED-Systems ist in Abbildung 26 dargestellt.

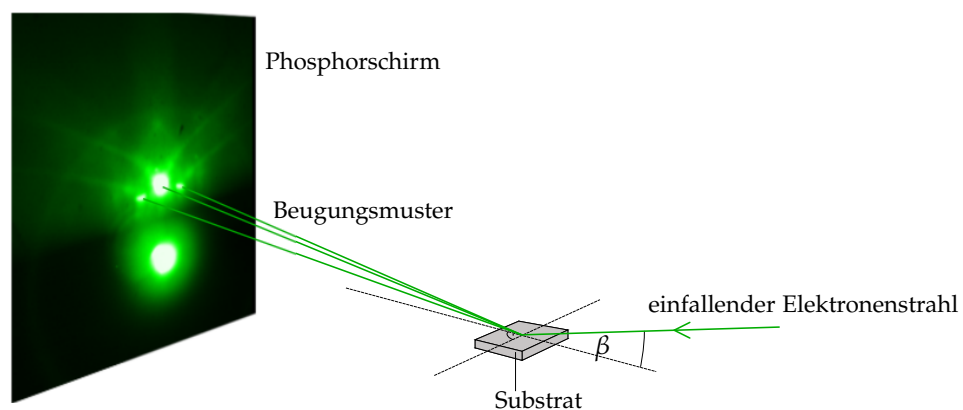


Abbildung 26

Schematische Darstellung des Funktionsprinzips eines RHEED-Systems. Aus einer Elektronenkanone (nicht dargestellt) werden hochenergetische (zum Beispiel 30 keV) Elektronen emittiert und unter einem flachen Winkel β auf ein Substrat eingestrahlt. Hinter dem Substrat werden die von der Kristalloberfläche erzeugten Beugungsreflexe auf einem Phosphorschirm sichtbar gemacht.

Das am Lehrstuhl verwendete RHEED-System beinhaltet eine Elektronenkanone, die an der PLD-Vakuumkammer angebracht ist. In dieser Elektronenkanone werden Elektro-

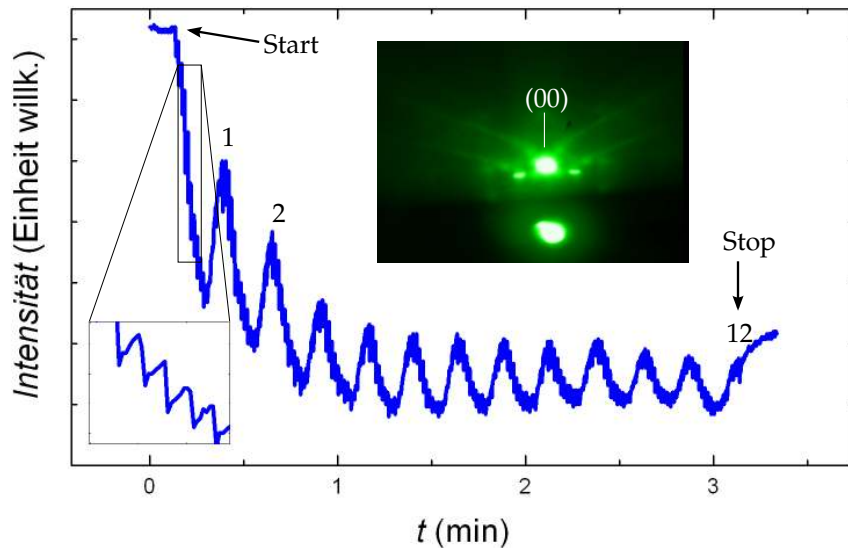


Abbildung 27

Aufgezeichnetes RHEED-Signal einer LaAlO_3 -Deposition auf SrTiO_3 . Aufgetragen ist die Intensität des (00)-Reflexes (Inset). Anhand der Maxima lassen sich 12 hergestellte Lagen abzählen. Im vergrößerten Bereich ist ein gezackter Verlauf des Musters zu erkennen. Pro Laserpuls kommt eine bestimmte Menge Targetmaterial gleichmäßig verteilt auf der Oberfläche des Substrats an. Deshalb bricht mit jedem Schuss die Intensität ein. Dann werden die beweglichen Adatome bis zum nächsten Schuss energetisch günstig auf der Oberfläche eingebaut, wodurch sich die Intensität langsam erhöht.

nen mit einer Spannung von 30 kV beschleunigt und unter einem flachen Winkel auf das Substrat gelenkt. Der flache Winkel verringert die Eindringtiefe des Elektronenstrahls in das Substrat und macht diese Technik damit sehr oberflächensensitiv. Das periodische Kristallgitter des Substrats erzeugt Beugungsreflexe in Raumrichtungen, die durch die Gitterkonstanten festgelegt sind. Ein Phosphorschirm macht diese Beugungsreflexe sichtbar. Das Beugungsmuster wird von einer Kamera aufgezeichnet, am PC dargestellt und analysiert. Je rauer die Kristalloberfläche, desto diffuser erscheinen die Beugungsreflexe auf dem Phosphorschirm. Während der Deposition im *layer-by-layer*-Modus ändert sich die Rauigkeit der Oberfläche periodisch mit jeder abgeschlossenen Schicht. Aus dem Intensitätsverlauf der Beugungsreflexe kann die Anzahl der gewachsenen Schichten bestimmt werden (Abbildung 27). Neben der Gitterperiodizität beeinflusst zum Beispiel auch die Substrattemperatur das RHEED-Muster [101].

Das RHEED-System des Lehrstuhls ist mit der Vakuumkammer verbunden, besitzt aber eine zusätzliche Turbomolekularpumpe. Der Elektronenstrahl wird durch Elektronen gebildet, die aus einem beheizten Filament im Inneren der RHEED-Kanone emittiert werden. Zum Schutz des Filaments ist es bei höheren Depositionsdrücken erforderlich, zusätzlich zur Vakuumkammer auch an der Elektronenkanone zu pumpen. Außerdem verringern hohe Drücke die mittlere freie Weglänge der Elektronen stark und damit die Intensität und die Qualität des RHEED-Signals. Durch zusätzliches Pumpen lassen sich

RHEED-Systeme auch bei Drücken im Bereich von mehreren 0,1 mbar einsetzen [102].

3.3 Kontaktierung der Grenzflächen

Experimentell ist man oft an Grenzflächen der hergestellten Heterostrukturen interessiert. Diese Grenzflächen befinden sich natürlich unter den gewachsenen Filmen. Die elektronisch aktive $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche beispielsweise wird von mindestens vier EZ dickem LaAlO_3 bedeckt und muss für die laterale elektronische Kontaktierung zuerst zugänglich gemacht werden. Da Nassätzverfahren bei LaAlO_3 ausscheiden wird hier das sogenannte Ionenätzen angewendet. Das Ionenätzverfahren erfordert ebenso wie der PLD-Prozess eine Vakuumatmosphäre (Basisdruck $p < 10^{-7}$ mbar).

Der Ablauf zur Kontaktierung von $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen ist in Abbildung 28 schematisch dargestellt. Eine Maske schützt einige Bereiche der Probe, während die zu ätzenden Bereiche unbedeckt bleiben. In den meisten Fällen wird Photolack als Maske verwendet. Die so präparierte Probe wird anschließend in die Ionenätzkammer eingeschleust. Der Materialabtrag beim Ionenätzen wird durch Argonatome erzielt. Deshalb strömt Argon als Prozessgas durch ein geregeltes Nadelventil in die Kammer und erzeugt einen Prozessdruck von circa 10^{-3} mbar. Die Ionenätzanlage besitzt mehrere Filamente. Durch elektrische Felder werden Argon-Ionen erzeugt und beschleunigt. Ein Großteil dieser Ionen wird nach dem Beschleunigen wieder neutralisiert. Dies geschieht durch Elektronen, die aus einem glühendem Filament emittiert werden. Durch die Neutralisierung wird eine elektrostatische Aufladung der Probe durch Argon-Ionen verhindert. Als Standardparameter für die durchgeführten Ätzprozesse wurden 500 V Beschleunigungsspannung und 10 mA Strahlstrom verwendet.

Aufgrund ihrer kinetische Energie schlagen auftreffende Argon-Teilchen Atome aus der Probenoberfläche heraus. Ionenätzen ist ein physikalisches Ätzverfahren. Außerdem verläuft der Ätzprozess isotrop und ist für praktisch alle Materialien verwendbar. Durch das Ionenätzen wird in ungeschützten Bereichen der Probe Material bis in das SrTiO_3 -Substrat abgetragen. Das Substrat wird in den geätzten Bereichen durch das Ionenätzen leitfähig (Abbildung 28c).

Die geätzten Löcher werden anschließend mit Metall aufgefüllt. Meist wurden in dieser Arbeit Titan, Gold oder Niob gewählt. Für die Metallisierung wurde die Sputter-Technik verwendet. Das Sputtern basiert auf dem nahezu gleichen Prinzip wie das Ionenätzen und findet im Vakuum (Basisdruck $p < 10^{-7}$ mbar) statt. Als Prozessgas wird durch ein geregeltes Nadelventil Argon in die Kammer geleitet (Prozessdrücke < 1 mbar). Ähnlich wie beim Ionenätzen werden die Argon-Atome durch elektrische Felder ionisiert und beschleunigt. Sie werden beim Sputtern allerdings in Richtung Target beschleunigt und tragen dort Material ab. Das abgetragene Targetmaterial setzt sich auf der Probe ab, die sich gegenüber dem Target befindet. Die geätzten Löcher sind jetzt mit Metall aufgefüllt (Abbildung 28d).

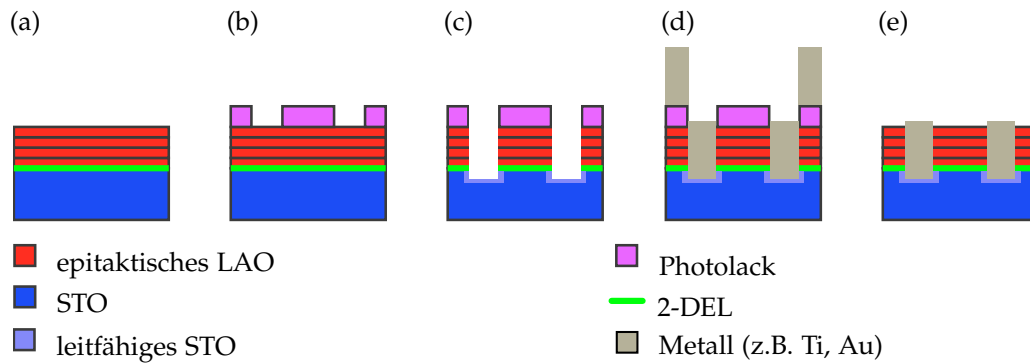


Abbildung 28

Schematische Darstellung zur Kontaktierung einer elektrisch leitfähigen $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche. (a) 4 EZ dickes LaAlO_3 auf einem SrTiO_3 -Substrat. (b) Photolithographisch definierte, zu ätzende, Bereiche. (c) Nach der Materialabtragung durch Ionenätzen. Die hellblauen Bereiche deuten durch Ionenätzen leitfähig gewordenen SrTiO_3 an. (d) Die durch Sputtern metallisierte Probe. (e) Nach dem Lift-Off bleiben nur die Metallkontakte übrig, die direkten Kontakt zur Probe haben.

Nach der Metallisierung wird im letzten Schritt die Maske entfernt, was auch als Lift-Off bezeichnet wird. Zurück bleiben nur die elektrischen Kontakte zur Grenzfläche (Abbildung 28e). Mit dieser Technik werden die hergestellten, verborgenen $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen elektrisch kontaktiert.

3.4 Herstellung weiterer oxidischer Schichten

Mit der vorher beschriebenen PLD-Technik wurden in dieser Arbeit $\text{LaAlO}_3/\text{SrTiO}_3$ -Heterostrukturen hergestellt. Innerhalb dieser Arbeit wurden auch Filme weiterer oxidischer Materialien hergestellt. Der beschriebene Ablauf des PLD-Prozesses trifft auch für die Herstellung der anderen Materialien zu. Die verwendeten Herstellungsparameter sind jedoch materialspezifisch. Tabelle 2 fasst die verwendeten PLD-Parameter der einzelnen Materialien zusammen. Zur Herstellung der $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ -Filme wurde kein RHEED-System verwendet, bei der Herstellung der SrTiO_3 -, BaTiO_3 - und SrRuO_3 -Filme dagegen schon. Der folgende Abschnitt behandelt speziell die für diese Arbeit wichtige Herstellung von BaTiO_3 -Filmen auf $\text{LaAlO}_3/\text{SrTiO}_3$ -Heterostrukturen im Detail.

	LaAlO_3	SrTiO_3	$\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$	BaTiO_3	SrRuO_3
Temperatur ($^{\circ}\text{C}$)	780	700	750	650	650
O_2 -Druck (mbar)	$1 \cdot 10^{-4}$	0,16	0,18	$3 \cdot 10^{-3}$	$1 \cdot 10^{-4}$

Tabelle 2

Zur Herstellung von Schichten oxidischer Materialien verwendete PLD-Prozessparameter.

Herstellung von BaTiO₃-Filmen auf LaAlO₃/SrTiO₃-Heterostrukturen

Feld-Effekt-Experimente an LaAlO₃/SrTiO₃-Heterostrukturen mit 50 nm und 150 nm dicken BaTiO₃-Dielektrika wurden am Lehrstuhl in der Masterarbeit von G. Pfanzelt durchgeführt [88]. Die untersuchten Proben lieferten keinen eindeutigen Beweis für stark ausgeprägte Ferroelektrizität der BaTiO₃-Filme, zeigten jedoch, dass BaTiO₃ gut als Dielektrikum für den Feldeffekt an LaAlO₃/SrTiO₃-Heterostrukturen geeignet ist. Während der Herstellung dieser BaTiO₃-Filme mittels gepulster Laserablation traten keine Oszillationen im RHEED-Signalverlauf auf. Zur Kontrolle der Schichtdicken und der Qualität des Filmwachstums ist jedoch ein gutes RHEED-Signal nötig. Deshalb wurde das Wachstum von BaTiO₃-Filmen auf LaAlO₃/SrTiO₃-Heterostrukturen genauer untersucht.

Um die optimalen Wachstumsparameter zu bestimmen wurden BaTiO₃-Filme mit unterschiedlichen Parametern auf 5 EZ dicken LaAlO₃-Filmen mittels gepulster Laserablation hergestellt. Die Substrattemperaturen wurden von 650 °C bis 700 °C variiert, der Sauerstoffdruck im Bereich 10^{-2} mbar bis 10^{-4} mbar. Bei höheren Drücken zeigte der RHEED-Signalverlauf keine Oszillationen.

Während der Probenherstellungen wurde der jeweilige RHEED-Signalverlauf und vor und nach der jeweiligen Deposition des RHEED-Beugungsbild aufgezeichnet. Temperatur und Sauerstoffdruck beeinflussen den RHEED-Signalverlauf, was mit Abbildung 29 deutlich wird.

Bei der Herstellung aller BaTiO₃-Filme konnten ab einer Schusszahl von etwa 80 keine RHEED-Oszillationen mehr beobachtet werden. Abbildung 29a zeigt den Signalverlauf einer Deposition, bei der 300 Laserpulse mit einer Frequenz von 1 Hz abgegeben wurden. Nach mehreren unterschiedlich stark ausgeprägten Oszillationen sind von $t = 100$ s bis zum Ende bei $t = 310$ s keine Oszillationen mehr zu erkennen. Der Vergleich der Beugungsbilder (Abbildung 29a Inset) vor und nach der Deposition zeigt eine starke Zunahme an zusätzlichen, regelmäßig angeordneten Beugungsreflexen. Dies deutet erfahrungsgemäß auf einen dreidimensionalen Wachstumsmodus (Inselwachstum) des BaTiO₃ hin. Der zentrale Hauptreflex der LaAlO₃-Oberfläche verschwindet vollständig aus dem Beugungsbild. Dieses Verhalten konnte bei allen Probenherstellungen beobachtet werden (Abbildung 29b und c).

Für $p = 3 \cdot 10^{-3}$ mbar ergaben sich vergleichsweise gute Signalverläufe. Insbesondere die erste Oszillation konnte nur bei diesem Sauerstoffdruck beobachtet werden. Der Signalverlauf für $T = 650$ °C und $p = 3 \cdot 10^{-3}$ mbar wurde im Vergleich am besten bewertet. Alle BaTiO₃-Filme für Proben in dieser Arbeit wurden deshalb mit diesen Parametern hergestellt.

Während der ersten 80 Schüsse trat bei allen BaTiO₃-Depositionen eine weitere Besonderheit im RHEED-Signalverlauf auf. Mit jedem Schuss fällt die Intensität des Signals rasch ab um anschließend etwas langsamer anzusteigen (siehe vergrößerter Bereich in Abbildung 29b). Dieses Sägezahnmuster wurde bereits in Abbildung 27 erklärt. Die Intensität der Zacken nimmt allerdings bei allen BaTiO₃-Signalverläufen während der jeweiligen

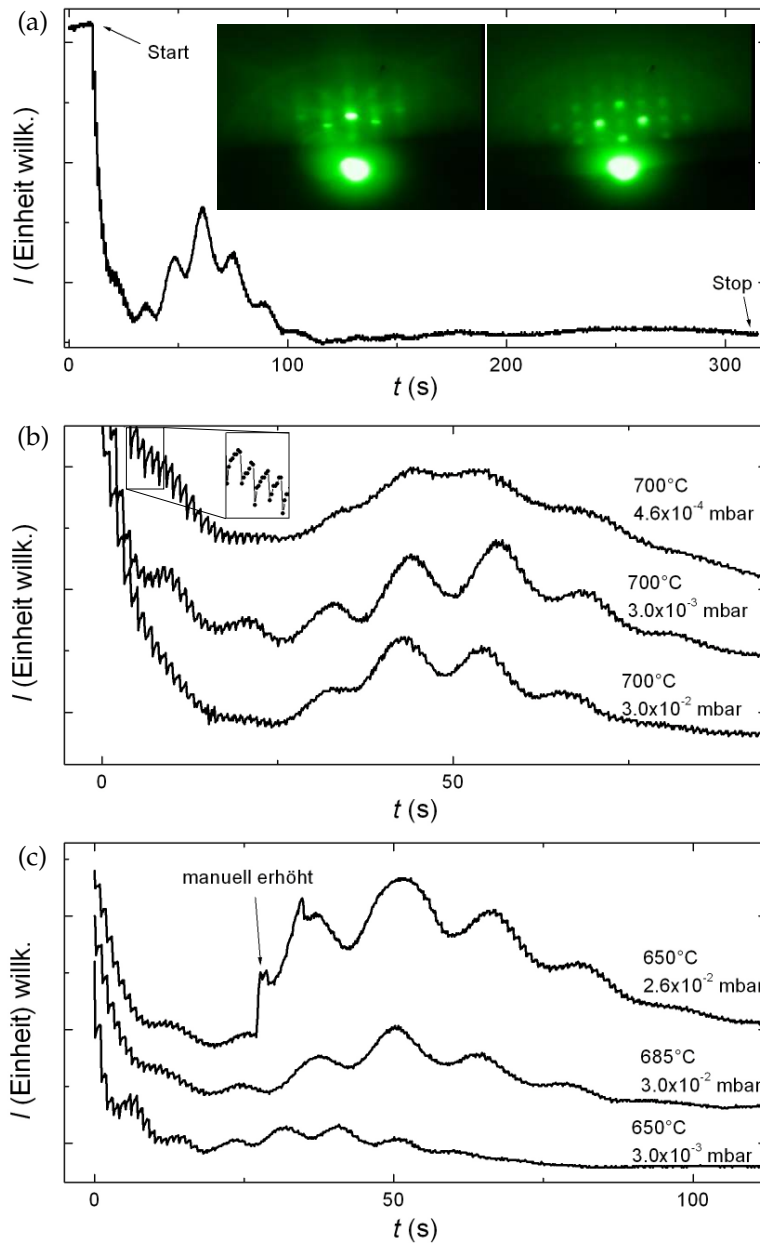


Abbildung 29

RHEED-Signalverläufe mehrerer Wachstumsprozesse von BaTiO_3 -Filmen auf 5 EZ dickem LaAlO_3 auf SrTiO_3 bei unterschiedlichen Prozessparametern. Die Absolutwerte der Intensitäten I der (00)-Reflexe wurden skaliert und sind quantitativ nicht miteinander vergleichbar. Bei allen dargestellten RHEED-Signalverläufen wurden mit einer Rate von 1 Hz 300 Schüsse abgegeben, d.h. jede Deposition endet nach $t = 300$ s. (a) Typischer Signalverlauf einer Deposition. Die jeweils bei der Start- und Stop-Position dargestellten Bilder zeigen die Momentanaufnahme des RHEED-Musters vor und nach der Deposition. Ab etwa 100 s ist fast keine Änderung im Signal mehr erkennbar. (b) Signalverläufe dreier Depositionen bei 700 °C und unterschiedlichen Drücken. Für $p = 3 \cdot 10^{-3}$ mbar sind die Oszillationen am deutlichsten ausgeprägt. Es werden nur Ausschnitte der Verläufe dargestellt, in denen sich die Intensität ändert. (c) Signalverläufe dreier Depositionen bei unterschiedlichen Drücken und Temperaturen. Für $T = 650$ °C und $p = 3 \cdot 10^{-3}$ mbar treten die meisten Oszillationen auf. Die Schusszahl pro Einheitszelle ist bei dieser Deposition außerdem etwas geringer als bei den übrigen Depositionen.

Deposition stark ab. Die RHEED-Signalverläufe lassen also auf unterschiedliche Wachstumsmodi schließen.

Die Oberflächen der hergestellten BaTiO₃-Schichten wurden mittels Rasterkraftmikroskopie untersucht. Abbildung 30 stellt vier Aufnahmen dar. Die Abbildungen 30a und b zeigen die Aufnahmen der Oberfläche eines BaTiO₃-Films, der mit 300 Laserpulsen bei 10⁻³ mbar und $T = 650^\circ\text{C}$ hergestellt wurde. Die Oberfläche ist sehr rau und mit vielen Inseln von mehreren nm Durchmesser überzogen. Abbildungen 30c und d zeigen die Oberfläche eines BaTiO₃-Films, der mit nur 80 Laserpulsen und ebenfalls bei 10⁻³ mbar und $T = 650^\circ\text{C}$ gewachsen wurde. Die Stufenstruktur, die bereits in terminierten SrTiO₃-Substraten vorhanden ist, ist auch hier deutlich zu sehen. Einzelne Inseln und Löcher sind außerdem zu erkennen.

Die Oberflächen aller Filme, die mit 300 Schüssen gewachsen wurden, ähneln den in Abbildungen 30a und b dargestellten Oberflächen. Innerhalb des untersuchten Parameter-raums war es nicht möglich, zweidimensional (zum Beispiel *layer-by-layer*) gewachsene BaTiO₃-Filme mit mehr als 80 Schüssen auf LaAlO₃/SrTiO₃-Heterostrukturen herzustellen. Ein vergleichbares Resultat wurde auch von Visinui *et al.* publiziert [103]. Aus den publizierten Ergebnissen geht hervor, dass BaTiO₃ auf Nb:SrTiO₃ zuerst zweidimensional wächst, ab wenigen nm Schichtdicke jedoch in einen dreidimensionalen Wachstumsmodus (Inselwachstum) übergeht.

Rasterkraftmikroskopische Aufnahmen bieten die Möglichkeit, Aussagen über die verschiedenen Oberflächen zu treffen und diese miteinander zu vergleichen. Um die kristalline Qualität der Filme in der Probe zu untersuchen, wurde eine der hergestellten Proben von J. Mundy (Gruppe Professor D. Müller, Cornell University) mittels Raster-Transmissions-Elektronenmikroskopie (STEM) untersucht. Für die Untersuchung der Filmeigenschaften wurde eine dünne Lamelle aus der Probe herausgearbeitet und mit einem Elektronenstrahl in Transmission untersucht. Abbildung 31 zeigt aus den Untersuchungen gewonnene Daten. Zur Detektion der transmittierten Elektronen wurde hier die sogenannte *high-angle annular dark field*-Methode (HAADF-STEM) verwendet. Bei dieser Detektion ergeben unterschiedliche schwere Elemente auch unterschiedlich starke Signalintensitäten. Die verschiedenen Lagen können deshalb optisch gut voneinander getrennt werden. In Abbildung 31a sind die verschiedenen Lagen benannt.

Sowohl das SrTiO₃-Substrat als auch der LaAlO₃-Film besitzen eine regelmäßige Kristallstruktur ohne auffällige Gitterfehler. Im BaTiO₃-Film dagegen sind dunkle Flecken zu sehen, die durch Stufenversetzungen zustande kommen. Abbildung 31b zeigt einen vergrößerten Bereich, in dem Ketten aus Atomen in *c*-Richtung (vertikale Richtung im Bild) durch Linien gekennzeichnet sind. Zwei der Ketten verbinden sich innerhalb der BaTiO₃-Schicht zu einer Kette.

Durch den Einbau von Gitterdefekten ändert sich die Gitterstruktur darüber liegender Schichten. Abbildung 31c zeigt den selben Ausschnitt wie Abbildung 31b mit zusätzlich eingetragenen Werten der ortsabhängigen Gitterkonstanten in nm. Die Werte wurden

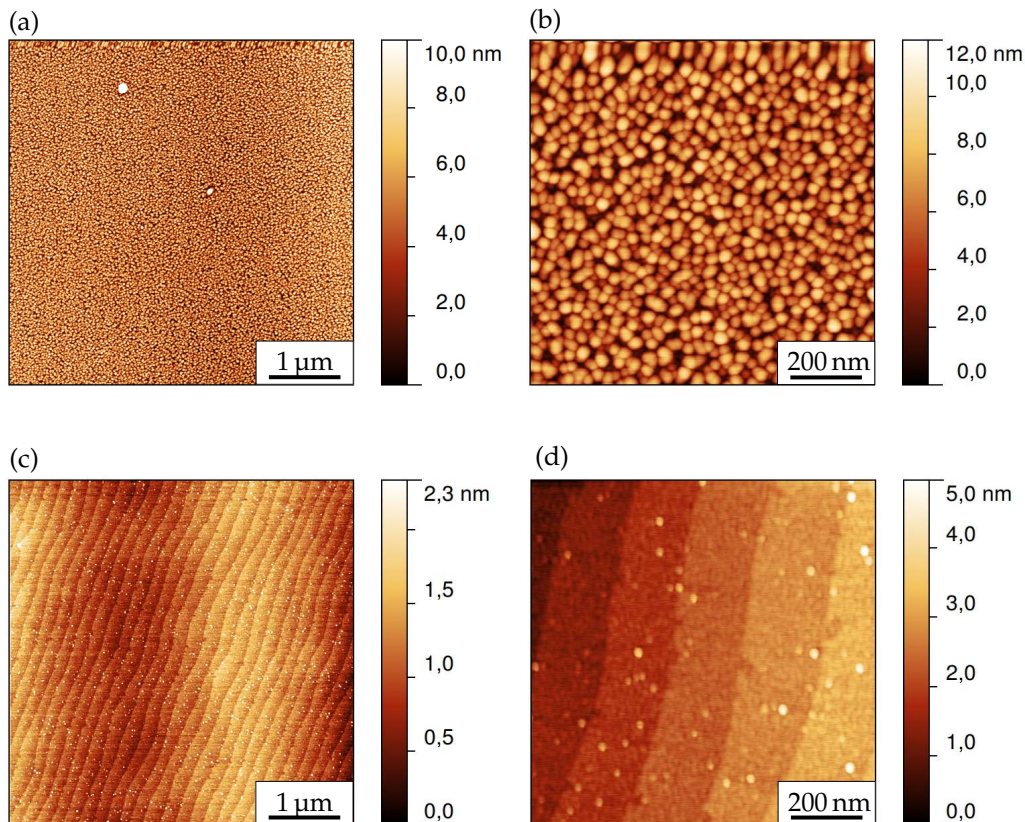


Abbildung 30

Rasterkraftmikroskopische Aufnahmen von BaTiO_3 -Oberflächen auf $\text{LaAlO}_3/\text{SrTiO}_3$ -Heterostrukturen. (a) Circa 30 EZ dicker Film. Der Film ist sehr rau, Stufenkanten können bestenfalls erahnt werden. (b) Vergrößerter Bereich des selben Films wie in (a). (c) 8 EZ dicker Film. Stufenkanten sind deutlich zu erkennen. Die Filmoberfläche ist deutlich weniger rau als die in (a) und (b) dargestellte Oberfläche. (d) Vergrößerter Bereich des 8 EZ dicken Films. Erneut sind die Stufenkanten gut zu erkennen. Außerdem sind vereinzelt Löcher und punktförmige Erhöhungen zu erkennen.

aus der Grafik bestimmt und bestehen aus Zahlenpaaren, die die Abstände zweier Intensitätsmaxima in a - (horizontal) und c -Richtung (vertikal) angeben. Zur Skalierung wurde die Gitterkonstante von SrTiO_3 in a -Richtung zu 0,39 nm festgelegt.

Aus den Werten ergibt sich, dass die Kristallstruktur des LaAlO_3 -Films in dieser Projektion des Gitters kubisch ist. Der BaTiO_3 -Film ist tetragonal gewachsen, die Gitterkonstante in c -Richtung ist deutlich größer als die Gitterkonstante in a -Richtung. Oberhalb der Versetzung ist die BaTiO_3 -Gitterstruktur näherungsweise kubisch. Durch die unterschiedlichen Gitterkonstanten im BaTiO_3 -Film sind die obersten BaTiO_3 -Lagen wellenförmig verzerrt.

Die in Abbildung 31c dargestellten Zahlenwerte wurden aus der Grafik bestimmt und geben Näherungswerte der tatsächlichen Gitterkonstanten wieder. Genauere Messungen lassen sich beispielsweise mittels Röntgendiffraktometrie erzielen, standen aber nicht im Fokus dieser Arbeit. Eine Aussage über die Verhältnisse der Gitterkonstanten in a - und

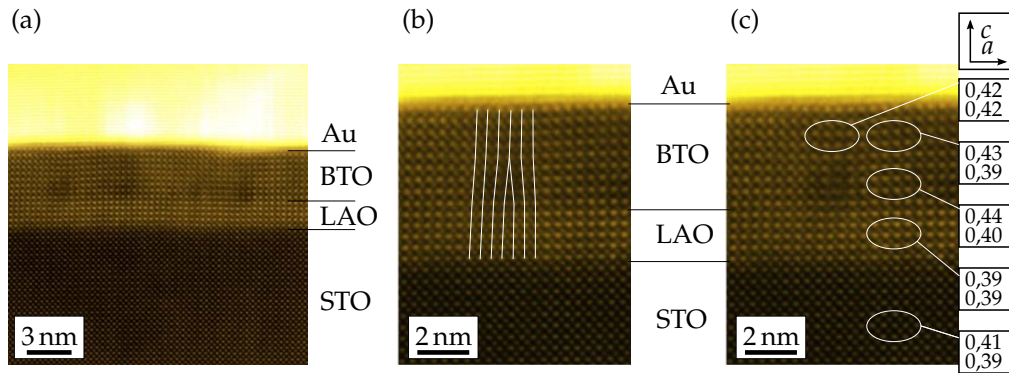


Abbildung 31

HAADF-STEM-Aufnahmen einer oxidischen Heterostruktur. (a) Die Lagen aus SrTiO_3 , LaAlO_3 , BaTiO_3 und Gold sind gekennzeichnet. Im BaTiO_3 -Film sind regelmäßig auftretende, dunkle Bereiche zu erkennen. Dort treten Versetzungen auf. (b) Vergrößerter Bereich um eine Versetzung. Um die Versetzung deutlich zu machen, wurden Ketten aus Atomen in vertikaler Richtung gekennzeichnet. Zwei dieser Ketten wachsen zu einer Kette zusammen. (c) Aus dem Bild bestimmte Werte für die ortsabhängigen Gitterkonstanten in a - und in c -Richtung. Über der Versetzung ist die Gitterstruktur des BaTiO_3 -Films kubisch, sonst tetraedrisch mit gegenüber der a -Achse verlängerter c -Achse.

in c -Richtung lässt sich jedoch auch aus den dargestellten Bildern treffen.

Durch die STEM-Untersuchungen konnte gezeigt werden, dass sich die Gitterstruktur des BaTiO_3 nach den ersten beiden Einheitszellen durch den Einbau von Versetzungen ändert. Diese Erkenntnis ist auch konsistent mit den RHEED-Signalverläufen der BaTiO_3 -Depositionen. Die Probe wurde von J. Mundy außerdem mittels Elektronen-Energieverlustspektroskopie (electron energy loss spectroscopy, kurz EELS) untersucht. Daraus geht hervor, dass die Filme innerhalb der Längenskala einer Einheitszelle stöchiometrisch gewachsen wurden.

4 Strukturierung des $\text{LaAlO}_3/\text{SrTiO}_3$ -Elektronensystems

Um oxidische Feld-Effekt-Transistoren herzustellen müssen sowohl leitfähige als auch isolierende Bereiche auf einer Probe definiert werden. An Halbleitergrenzflächen wird die Leitfähigkeit durch die chemische Dotierung der Materialien bestimmt. Im System $\text{LaAlO}_3/\text{SrTiO}_3$ bestimmt die Schichtdicke des LaAlO_3 -Films die Grenzflächeneigenschaften. Durch gezieltes Herstellen von kristallinen LaAlO_3 -Filmen der Dicke vier Einheitszellen oder mehr lassen sich also leitfähige Bereiche definieren. Hieraus wurde von C. Schneider *et al.* ein Strukturierungsverfahren entwickelt [104]. Dieses Strukturierungsverfahren wurde für fast alle hergestellten Proben verwendet.

Das Verfahren nach C. Schneider wurde sowohl mit optischer Photolithographie als auch mit Elektronenstrahllithographie durchgeführt. Die Elektronenstrahllithographie wurde dabei im Rahmen einer Zusammenarbeit von Mitarbeitern des MPI (Max Planck Institut für Festkörperforschung) Stuttgart durchgeführt.

Im folgenden Kapitel werden die beiden Lithographietechniken und das Strukturierungsverfahren nach Schneider vorgestellt. Anschließend wird der strukturelle Aufbau und die Herstellungsprozedur der beiden oxidischen FET-Typen, die in dieser Arbeit untersucht wurden, dargestellt.

Der letzte Teil des Kapitels behandelt eine vom Verfahren nach C. Schneider unabhängige Strukturierungsmethode: die Strukturierung mittels modifizierter Rasterkraftmikroskopie. Nach einer Beschreibung der experimentellen Details wird die Technik exemplarisch anhand einiger in dieser Arbeit erzielter Ergebnisse vorgestellt.

4.1 Strukturierung des elektronischen Systems mittels optischer Photolithographie und Elektronenstrahllithographie

4.1.1 Optische Photolithographie

Für die Strukturierung dünner Filme ist die optische Photolithographie eine etablierte Technik. Mit der am Lehrstuhl vorhandenen Gerätegruppe lassen sich laterale Strukturgrößen bis hinab zu wenigen μm erzielen. Diese Technik wurde zur Herstellung beziehungsweise Strukturierung fast aller Proben, die in dieser Arbeit untersucht wurden, verwendet.

Um aus Filmen definierte Muster herauszuarbeiten oder um Filme strukturiert auf Substrate zu wachsen, wird das gewünschte Muster zuerst auf den sogenannten Photolack übertragen. Dann wird die Struktur des Lacks auf das eigentliche Material übertragen. Dieser Prozess ist in Abbildung 32 dargestellt. Ein spezieller Photolack (Typ AZ 1512, Firma MicroChemicals [105]) wird als dünne Schicht möglichst homogen auf der zu strukturierenden Probe verteilt (Abbildung 32a) und schützt Bereiche der Probe vor nachfolgenden Prozessen (Ätzen, Deposition). Das Aufschleudern des Lacks geschieht mit Hilfe eines elektrisch betriebenen Drehtellers, auf dem die Probe angesaugt wird. Der Photolack wird auf die Probe getropft und dann bei einer Schleuderdrehzahl von

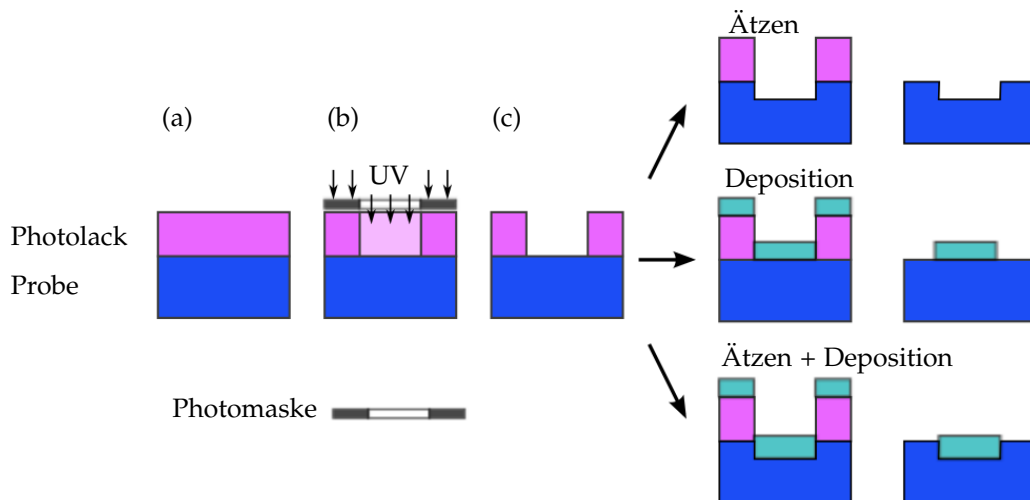


Abbildung 32

Schematische Darstellung der Strukturerzeugung mittels Photolithographie. (a) Homogenen Lack-schicht auf einer Probe. (b) Belichtung unmaskierter Stellen. (c) Nach Entwicklerbad. Anschließend gibt es verschiedene Möglichkeiten die erzeugte Struktur zu übertragen: Ätzprozess, Deposition oder eine Kombination aus beidem. Danach erfolgt der Lift-Off, bei dem der Photolack entfernt wird.

6000 pro Minute für 30 Sekunden aufgeschleudert. Anschließend wird der Lack in einem Ofen bei einer Temperatur von 95 °C für eine Minute ausgebacken (Softbake). Dann erfolgt die Belichtung (Abbildung 32b).

Belichtet man den Photolack mit intensivem UV-Licht, verändert sich seine chemische Struktur. Der Lack besteht aus einem Kresolharz, dem ein Photoinitiator beigemischt ist. Die Entwicklungsrate (Entwickler AZ 400K, Firma MicroChemicals [105]) dieses Gemisches liegt um ein bis zwei Größenordnungen unter der Entwicklungsrate von reinem Kresolharz. UV-Licht ($\lambda < 440\text{ nm}$) wandelt den Photoinitiator, der dabei Stickstoff abspaltet und Wasser aufnimmt, um. Dadurch steigt die Entwicklungsrate des Gemisches um drei bis vier Größenordnungen [105]. Die Entwicklungsrate des Photolacks hängt also auch von seinem Wasseranteil ab. Werden Bereiche der Probe mit einer Photomaske verdeckt, bleibt der Photolack an diesen Stellen unbelichtet und wird vom Entwickler nicht gelöst. So können gezielt Strukturen aus dem Photolack herausgearbeitet werden.

Der Photolack AZ 1512HS (Firma MicroChemicals [105]) ist ein sogenannter Positivlack. Daneben gibt es auch Negativlacke. Diese Lacke werden nach der Belichtung schlechter vom Entwickler gelöst als ohne Belichtung. Mit Negativlacken werden invertierte Abbilder der Photomaske erzeugt.

Im folgenden Entwicklerbad (Entwickler AZ 400K, siehe vorher) wird die Probe für 30 Sekunden geschwenkt. Belichteter Photolack löst sich innerhalb dieser Zeit, unbelichteter Photolack bleibt auf der Probenoberfläche zurück (Abbildung 32c). Reste des Entwicklers werden mit doppelt destilliertem Wasser entfernt. Die so präparierte Probe ist bereit

für weitere Schritte wie beispielsweise ein Ätzschritt oder eine Deposition. Nach allen Prozessschritten wird der Photolack mit Aceton entfernt.

4.1.2 Elektronenstrahlolithographie

Das Prinzip der Elektronenstrahlolithographie ist dem der optischen Photolithographie sehr ähnlich. Auch bei der Elektronenstrahlolithographie wird die Probenoberfläche zuerst mit Photolack bedeckt, um diesen dann zu belichten. Der Photolack, der für die Elektronenstrahlolithographie verwendet wird, besteht jedoch aus gelöstem Polymethylmethacrylat (PMMA). Dieses PMMA wird nicht durch UV-Licht, sondern durch einen fokussierten Elektronenstrahl belichtet. Auch hier verändert die Bestrahlung die Löslichkeit des Lacks in einem spezifischen Entwickler, welcher schließlich die geschriebenen Strukturen herausarbeitet.

Die Elektronen, mit denen das PMMA beschossen wird, besitzen eine Energie von mehreren 10 keV und Wellenlängen im Bereich von 10^{-12} m. Erzielbare Auflösungen werden in der Praxis jedoch nicht nur durch die Wellenlängen bestimmt, sondern insbesondere auch durch die Querschnittfläche des Elektronenstrahls und das verwendete Linsensystem. Die kleinsten Strukturen, die im Rahmen dieser Arbeit erzeugt wurden, besitzen laterale Abmessungen von 200 nm. Dieser Wert bezieht sich auf die experimentelle Zielgröße. Die tatsächlich hergestellten Strukturdimensionen weichen prozessbedingt von diesem nominellen Wert ab.

Mit der Elektronenstrahlolithographie werden Strukturen sukzessive erzeugt, indem der Elektronenstrahl über die Probe gerastert wird. Dies erfordert die genaue Positionierung des Elektronenstrahls relativ zur Probenoberfläche. Die relative Positionierung geschieht mit Hilfe sogenannter Marker, die zum Beispiel aus kleinen Symbolen aus gesputtertem Gold bestehen können. Ein großer Vorteil der Elektronenstrahlolithographie gegenüber der optischen Lithographie ist die große Flexibilität, da das zu schreibende Muster nicht an eine feste Maske gebunden ist sondern am Computer festgelegt werden kann. Jedoch ist die optische Lithografie aufgrund der gleichzeitigen Belichtung aller zu belichtenden Bereiche ein um Größenordnungen schnelleres Verfahren.

Obwohl sich optische Lithographie und Elektronenstrahlolithographie technisch unterscheiden, ist das Ergebnis dieser Techniken, strukturierter Photolack, identisch. Deshalb bezieht sich im Folgenden der Begriff Photolithographie auf beide Methoden.

4.1.3 Strukturierungsverfahren nach Schneider

Kristalline LaAlO_3 -Filme werden in der Regel bei etwa 780 °C hergestellt. Organische Photolacke halten jedoch so hohen Temperaturen nicht stand. Um das $\text{LaAlO}_3/\text{SrTiO}_3$ -Elektronensystem dennoch mit Hilfe der zuvor vorgestellten Verfahren strukturieren zu können, muss eine spezielle Technik verwendet werden. Die Strukturierung epitaktischer LaAlO_3 -Filme erfolgt dabei mit Hilfe von amorphen LaAlO_3 -Filmen. $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen unter amorphem LaAlO_3 leiten nicht (siehe Kapitel 2.3). Zusätzlich wird

die $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche bei diesem Verfahren nicht durch chemische Verunreinigungen wie zum Beispiel Photolack beeinflusst.

Das Verfahren beginnt mit der Herstellung einer unstrukturierten, epitaktischen LaAlO_3 -Schicht der Dicke 2 EZ auf einem TiO_2 -terminierten SrTiO_3 -Substrat (Abbildung 33a). Dieser Film schützt die jetzt noch isolierende Grenzfläche vor weiteren chemischen Einflüssen. Jetzt werden Bereiche photolithographisch definiert, unter denen später die leitfähige Schicht entstehen soll (Abbildung 33b). Anschließend wird eine Lage LaAlO_3 gewachsen, ohne das Substrat zu heizen. Die Deposition wird bei Zimmertemperatur durchgeführt, was zu einer geringen kristallinen Qualität des Films führt. In unmaskierten Bereichen entsteht so eine Schicht aus amorph gewachsenem LaAlO_3 auf epitaktisch gewachsenem LaAlO_3 . Grenzflächen unter solchen Filmen bleiben isolierend (Abbildung 33c).

Nach der Herstellung der amorphen LaAlO_3 -Schicht wird der Photolack durch Aceton von der Probenoberfläche entfernt. Zurück bleiben die Bereiche aus amorphem LaAlO_3 auf zwei Einheitszellen dickem epitaktischen LaAlO_3 und Bereiche mit nur zwei EZ dickem epitaktischem LaAlO_3 (Abbildung 33d). Die Flächen mit amorphem LaAlO_3 maskieren jetzt Teile der Probenoberfläche. In der folgenden Deposition werden bei 780°C weitere Lagen LaAlO_3 hinzugefügt. Auf den gestörten Bereichen wächst auch das neu deponierte LaAlO_3 schlecht. In den übrigen Bereichen wächst das LaAlO_3 epitaktisch (Abbildung 33e).

Mit dieser Technik lassen sich strukturierte, leitfähige Kanäle für $\text{LaAlO}_3/\text{SrTiO}_3$ -Transistoren erzeugen. Auf dieser Technik aufbauend werden im nächsten Abschnitt die beiden untersuchten Transistortypen dargestellt.

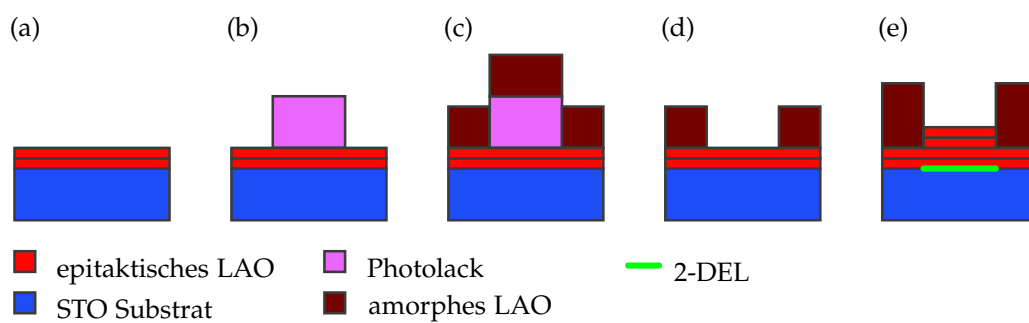


Abbildung 33

Schematische Darstellung des Herstellungsablaufs eines strukturierten Elektronensystems an LaAlO_3 - SrTiO_3 -Grenzflächen (nach [104]). (a) In einer ersten Deposition wird ein LaAlO_3 -Film der Dicke 2 EZ auf einem terminierten SrTiO_3 -Substrat hergestellt. (b) Photolithographisch definierter Bereich. (c) Strukturübertrag durch amorphes LaAlO_3 . (d) Lift-Off des Photolacks. (e) Die fertige Struktur nach Wachsen der letzten LaAlO_3 -Schicht. An der Grenzfläche unter epitaktisch gewachsener LaAlO_3 -Schichten einer Dicke von mindestens 4 EZ entsteht ein zweidimensionales Elektronensystem (2-DEL).

4.2 Herstellung zweier Typen von Transistoren

Basierend auf der vorher vorgestellten Strukturierungsmethode nach C. Schneider *et al.* wurden zwei unterschiedliche Transistortypen hergestellt. Die beiden Typen sind schematisch in Abbildung 34 dargestellt. Sie unterscheiden sich in der Art und der Dicke ihres Dielektrikums sowie im verwendeten Gatematerial.

Das Dielektrikum der FETs vom Typ 1 besteht aus einer epitaktisch gewachsenen 9 EZ dicken Schicht LaAlO_3 . Auf dem Dielektrikum ist ein Gate aus $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ aufgebracht. Das $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ ist durch Gold elektrisch kontaktiert (im Bild nicht dargestellt). Typ-2-FETs besitzen ein Dielektrikum aus 5 EZ dickem LaAlO_3 und ca. 8 EZ dickem BaTiO_3 . Als Gatematerial wird Gold verwendet. Die Herstellung beider Transistortypen wird im Folgenden dargestellt.

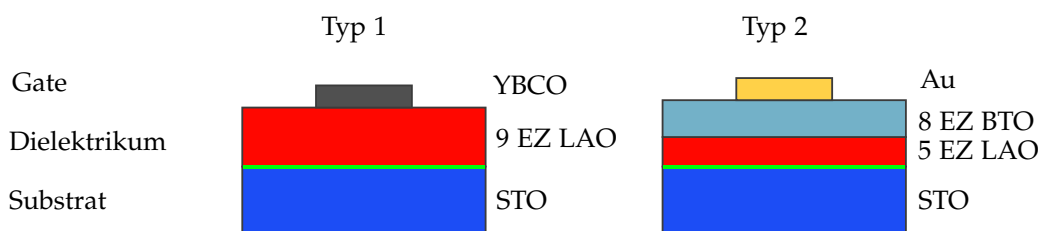


Abbildung 34

Schematische Darstellung des Aufbaus oxidischer Transistoren vom Typ 1 und Typ 2. Grenzflächenkontakte (Source und Drain) sind nicht dargestellt.

4.2.1 Feld-Effekt-Transistor Typ 1

Abbildung 35 illustriert die nun folgende Beschreibung der Herstellungsprozedur. Zur Herstellung dieses Transistortyps wird als erstes ein LaAlO_3 -Film auf einem TiO_2 -terminierten SrTiO_3 -Substrat mit gepulster Laserablation hergestellt (Wachstumstemperatur 780°C , Sauerstoffdruck 10^{-4} mbar). Nach dem vorher beschriebenen Strukturierungsverfahren wird die Deposition der 9 EZ dicken LaAlO_3 -Schicht in zwei Teile (zu je 2 EZ und 7 EZ) aufgeteilt. Dadurch wird der elektronisch aktive Bereich, der Kanal, definiert (Abbildung 35a). Nach der Herstellung der 9. Lage LaAlO_3 wird die Temperatur bei einem Sauerstoffdruck von 0,18 mbar auf 750°C gesenkt. Dann wird eine circa 100 nm dicke $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ -Schicht auf dem LaAlO_3 -Film deponiert (Abbildung 35b). Bei einer Laserenergie von 450 mJ sind für diese Deposition 1000 Schüsse bei einer Schussfrequenz von 2 Hz nötig. Anschließend erfolgt die langsame Abkühlprozedur für LaAlO_3 -Filme bei 400 mbar Sauerstoffdruck.

In den nächsten Schritten wird der $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ -Film strukturiert und mit Gold elektrisch kontaktiert. Das Gold ist nötig, um die Gatekontakte auf der Probe elektrisch vom leitfähigen Kanal wegzuführen. Damit wird vermieden, dass bei der späteren elektrischen Kontaktierung (durch das Bonden dünner Metalldrähte) des Gates das Dielektrikum beschädigt wird und Gate und Kanal kurzschließt. $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ - und Gold-Filme

können nun mit zwei verschiedene Techniken strukturiert werden. Die Wahl der Herstellungstechnik beeinflusst nicht die prinzipielle Funktionalität der FETs. Beide Techniken beginnen mit der in Abbildung 35b dargestellten Struktur.

Bei Verwendung der Technik 1 wird die Probe nach Beenden des Abkühlprozesses *in-situ* in die Sputterkammer der PLD-Anlage transferiert. Dort wird eine 100 nm dicke Goldschicht durch eine Sputter-Deposition bei einem Ar-Druck von 0,1 mbar und einer Leistung von 10 W (AC) hergestellt (Abbildung 35c). Mit Hilfe einer Iod-Kaliumiodid-Ätzlösung (KI:I:H₂O wird gemischt im Verhältnis 4 g:1 g:40 ml [105]) wird das Gold danach in photolithographisch definierten Bereichen entfernt (Abbildung 35d). Verdünnte Phosphorsäure (0,05 Vol.-%) strukturiert anschließend die freigelegte YBa₂Cu₃O_{7-x}-Schicht nach dem gleichem Muster wie die Goldschicht (Abbildung 35e). Nach einem Lift-Off (Abbildung 35f) und einem weiteren Photolithographie-Schritt wird die Grenzfläche durch Ionenätzen und Ti-Sputtern kontaktiert (Abbildung 35g). Wichtig dabei ist der laterale Abstand zwischen Source/Drain und Gate. Ein Abstand von mehreren µm ist erfahrungsgemäß nötig, damit der Lift-Off erfolgreich verläuft. Eine fertige FET-Struktur wird in Abbildung 35h illustriert.

Bei Verwendung von Technik 2 erfolgt gleich nach der Fertigstellung der YBa₂Cu₃O_{7-x}-Schicht die Strukturierung derselben Schicht mittels Photolithographie und Phosphorsäure (Abbildung 35i und j). Danach werden Teile der Oberfläche erneut mit Photolack bedeckt. Jetzt wird eine Gold-Schicht gesputtert, die das YBa₂Cu₃O_{7-x}-Gate elektrisch kontaktiert (Abbildung 35k). Nach einem Lift-Off (Abbildung 35l) und der Kontaktierung der Grenzfläche mittels Ionenätzen und Sputtern (Abbildung 35m) ist die FET-Struktur fertig (Abbildung 35n). Abbildung 36 zeigt die rasterkraftmikroskopische Aufnahme der Oberfläche eines mit Technik 2 hergestellten FETs und einen erklärenden, schematischen Probenquerschnitt.

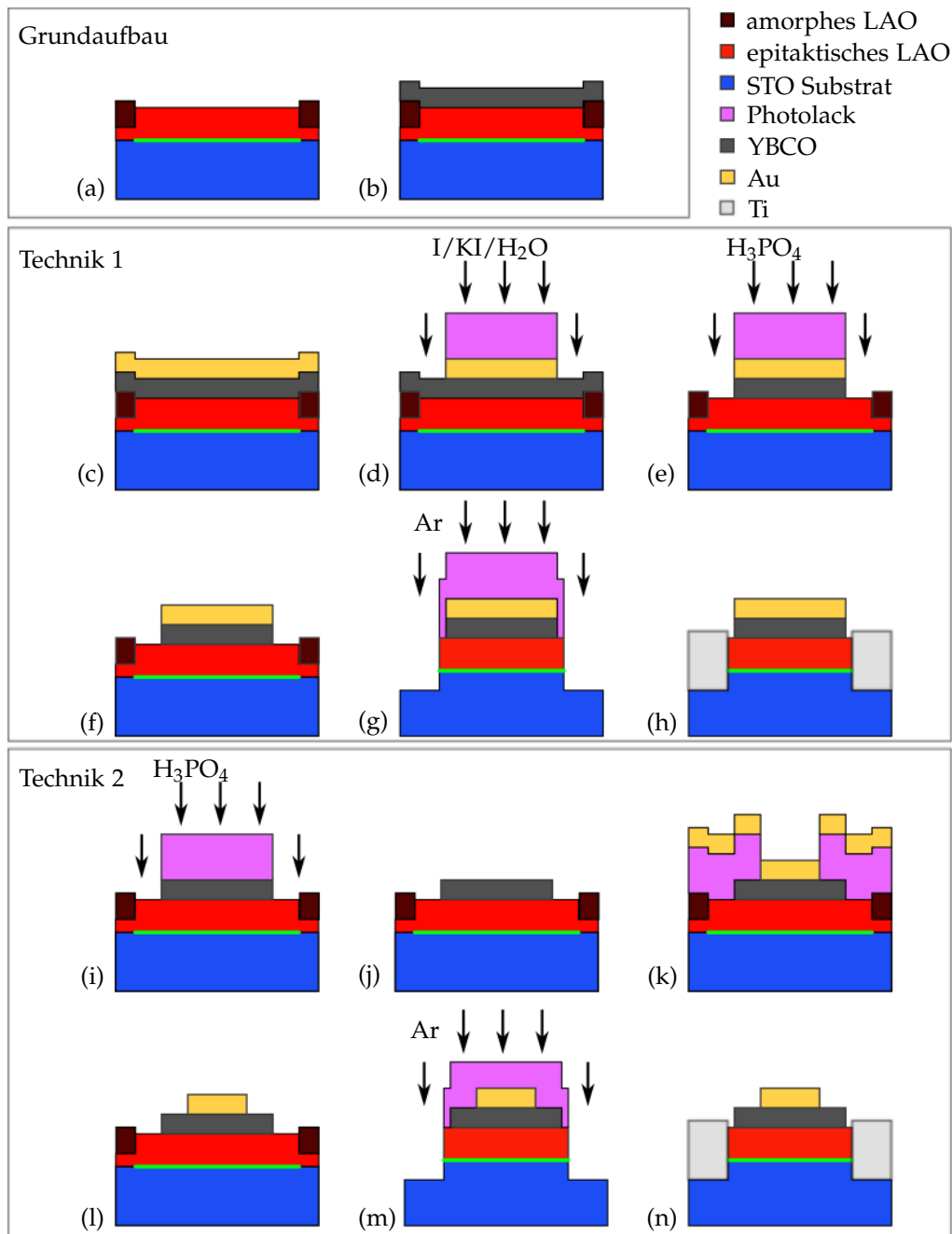


Abbildung 35

Schematische Darstellung von Probenquerschnitten zur Erklärung des Herstellungsablaufs oxidischer Transistoren vom Typ 1. (a) Der Grundaufbau, hergestellt mit der Strukturierungsmethode nach C. W. Schneider. (b) Auf der LaAlO_3 -Oberfläche wird eine $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ -Schicht deponiert. Für die weitere Herstellung sind zwei verschiedene Techniken möglich. Technik 1: (c) Auf das $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ wird *in-situ* Gold gesputtert. (d) Photolithographie und Nassätzen mit einer I-KI-Ätzlösung. (e) Nassätzen mit Phosphorsäure. (f) Nach Lift-Off. (g) Photolithographie und Ionenätzen. (h) Nach dem Ti-Sputtern und Lift-Off ist der Transistor fertig gestellt. Technik 2: (i) Photolithographie und Nassätzen. (j) Nach Lift-Off. (k) Photolithographie und Au-Sputtern. (l) Nach Lift-Off. (m) und (n) Kontaktierung der Grenzfläche wie bei Technik 1.

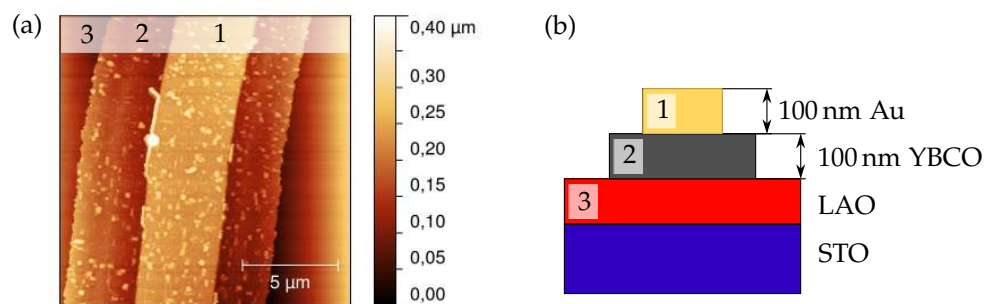


Abbildung 36

(a) Rasterkraftmikroskopische Aufnahme einer Au-YBa₂Cu₃O_{7-x}-Gatestruktur auf einem LaAlO₃-Film. Die Struktur des YBa₂Cu₃O_{7-x}-Films hat sich auf das Au übertragen. (b) Schematische Darstellung des Probenquerschnitts zur Darstellung des Höhenprofils.

4.2.2 Feld-Effekt-Transistor Typ 2

Oxidische Feld-Effekt-Transistoren vom Typ 2 besitzen ein Dielektrikum, das aus zwei Materialien besteht. Der erste Teil des Dielektrikums wird aus 5 EZ dickem, epitaktischem LaAlO_3 gebildet, das mit Standard-Parametern auf ein TiO_2 -terminiertes SrTiO_3 -Substrat gewachsen wird. Die Herstellung dieser Schicht wird auf zwei Depositionen (2 EZ und 3 EZ) aufgeteilt, um den Kanal nach dem vorher beschriebenen Strukturierungsverfahren zu definieren. Nach Herstellung der letzten LaAlO_3 -Lage wird kein Standard-Abkühlprozess begonnen, da im Anschluss das Wachstum der BaTiO_3 -Schicht erfolgt. Die nun folgenden Schritte sind in Abbildung 37 dargestellt.

Zur Herstellung der BaTiO_3 -Schicht wird die Substrattemperatur über einen Zeitraum von etwa 15 Minuten bei einem Sauerstoffdruck von $3,3 \cdot 10^{-3}$ mbar von 780°C auf 650°C reduziert. Wenn die Temperatur 650°C erreicht hat, wird eine circa 8 EZ dicke BaTiO_3 -Schicht gewachsen. Danach wird der Standard-Abkühlprozess, der auch für LaAlO_3 -Filme verwendet wird, bei einem Sauerstoffdruck von 400 mbar gestartet.

Jetzt wird eine Lage Gold auf das eben abgeschiedene BaTiO_3 gesputtert. Um eine möglichst saubere BaTiO_3 -Au-Grenzfläche zu erhalten, wird die Probe *in-situ* von der PLD-Kammer in die Sputteranlage transferiert, wo die Au-Schicht aufgebracht wird. Vor dem Sputterprozess wird die Probe bei einem Sauerstoffdruck von 0,5 mbar für 30 Minuten auf circa 300°C geheizt. Dies dient dazu, die Anzahl der Adsorbate auf der Oberfläche zu verringern. Nach 1 Stunde Abkühlzeit bei 0,5 mbar Sauerstoffdruck beginnt der Sputterprozess. Bei einer Leistung von 10 W (AC) und einem Ar-Druck von 0,1 mbar wird eine etwa 40 nm dicke Goldschicht auf das BaTiO_3 gesputtert. Diese Goldschicht ist jetzt noch unstrukturiert (Abbildung 37b). Die Gatestrukturen werden nach Anwendung der Photolithographie nasschemisch aus dem Gold heraus geätzt. Dazu wird eine Iod-Kaliumiodid-Ätzlösung (siehe Herstellung Transistoren vom Typ 1) verwendet (Abbildung 37c). Ein Lift-Off entfernt den Photolack.

Zuletzt erfolgt die Kontaktierung der Grenzflächen mit Hilfe der Photolithographie, durch Ionenätzen und Ti-Sputtern (Abbildung 37d). Wie bei den Transistoren vom Typ 1 ist auch hier der laterale Abstand zwischen den Grenzflächenkontakten und dem Gate wichtig. Abbildung 38a zeigt AFM-Aufnahmen von Teilen einer FET-Struktur. Der Bereich zeigt die Oberflächen von Gate, BaTiO_3 und Grenzflächenkontakt. Auf der BaTiO_3 -Oberfläche sind viele Verunreinigungen erkennbar, die vermutlich vom Ätzprozess zurück bleiben. Die Ti-Kante ist deutlich schärfer definiert als die nasschemisch geätzte Au-Kante. Abbildung 38b illustriert das Höhenprofil der untersuchten Struktur. Abbildung 38c zeigt einen kleineren Ausschnitt der BaTiO_3 -Probenoberfläche. Neben zahlreichen Verunreinigungen sind die Stufenkanten der BaTiO_3 -Oberfläche zu erkennen.

Die Oberfläche einer Probe mit 81 gleichen Transistoren vom Typ 2 ist in Abbildung 39a dargestellt. Die Source-, Drain- und Gate-Kontakte eines FETs sind farbig hervorgehoben. Ein Foto derselben, mit Metalldrähten (Bonds) elektrisch kontaktierten Probe ist in Abbildung 39b dargestellt.

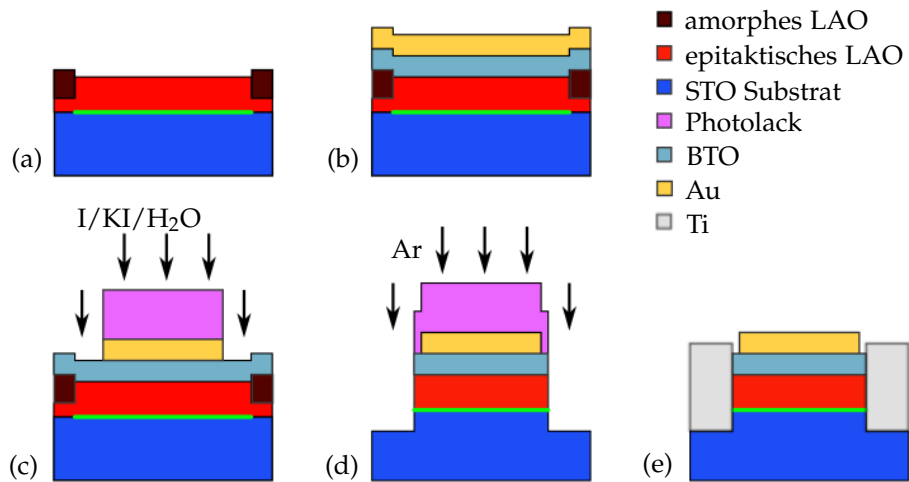


Abbildung 37

Schematische Darstellung von Probenquerschnitten zur Erklärung des Herstellungsprozesses oxidischer Feld-Effekt-Transistoren vom Typ 2. (a) Grundaufbau: strukturiertes, 5 EZ dickes LaAlO_3 auf SrTiO_3 . (b) Grundaufbau mit BaTiO_3 -Film und einer Au-Schicht. (c) Strukturierung der Au-Schicht durch Nassätzen in photolithographisch definierten Bereichen. (d) Herstellung der Grenzflächenkontakte nach Lift-Off und erneuter Photolithographie. (e) Fertige FET-Struktur nach Ti-Sputtern und Lift-Off.

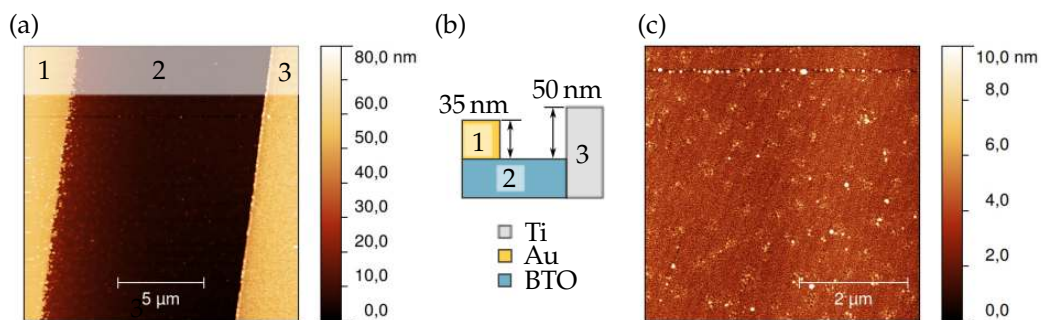


Abbildung 38

(a) Rasterkraftmikroskopische Aufnahme einer FET-Struktur (Typ 2). Der Abschnitt zeigt die Au-Oberfläche (1), die BaTiO_3 -Oberfläche (2) und die Oberfläche eines Ti-Kontakts (3). (b) Schematische Darstellung des Probenquerschnitts zur Darstellung des Höhenprofils. (c) Vergrößerter Ausschnitt der BaTiO_3 -Oberfläche. Neben zahlreicher Verunreinigungen sind Stufenkanten noch schwach zu erkennen.

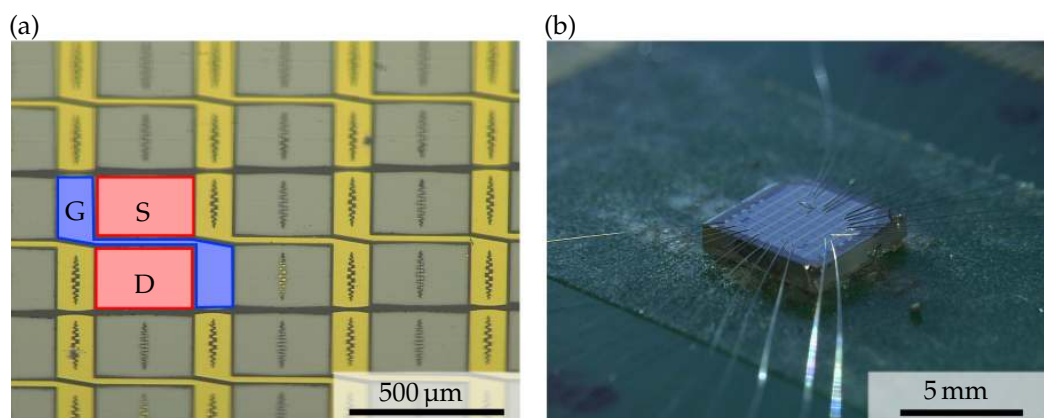


Abbildung 39

(a) Lichtmikroskopische Aufnahme der Oberfläche einer Probe mit Transistoren vom Typ 2. Source, Drain und Gate (S, D, G) eines FETs sind jeweils farbig markiert. Das Layout wurde von C. Richter entworfen und enthält 81 gleiche Transistoren. Die Gatelänge beträgt $20\text{ }\mu\text{m}$, die Kanalbreite und damit auch die Gatebreite $300\text{ }\mu\text{m}$. (b) Fotografie einer gebondeten Probe mit 81 FETs vom Typ 2.

Transistoren vom Typ 2 wurden mit optischer Photolithographie und Elektronenstrahl-lithographie hergestellt. Abbildung 40a zeigt eine rasterkraftmikroskopische Aufnahme rechteckiger PMMA-Strukturen, die zur Strukturierung der 2-DEL eingesetzt wurden. Wegen ihrer geringen lateralen Abmessungen wurden die Gates solcher Typ 2 Transistoren nicht durch Nassätzen, sondern durch Ionenätzen aus der gesputterten Au-Schicht herausgearbeitet (vergleiche Herstellungsschritt der Abbildung 37c). Dadurch konnten Gatestrukturen mit lateralen Abmessungen von wenigen 100 nm erzeugt werden. Die Ätzzeit wurde an die Schichtdicke des Au-Films angepasst. Zugute kommt dabei, dass erfahrungsgemäß die Ätzrate von Metallen um etwa eine Größenordnung über der Ätzrate der verwendeten Oxide liegt, d.h. die Au-Schicht wird schneller geätzt als der darunter liegende BaTiO₃-Film.

Eine fertige Probe ist in Abbildung 40b dargestellt. Auf dieser Probe wurden mehrere Millionen FETs mit unterschiedlichen Gatelängen zwischen nominell 100 nm und mehreren µm definiert. Transistoren mit Gatelängen von nominell 400 nm, 200 nm und 100 nm wurden in einzelne Bereiche, die auf dem Foto gekennzeichnet sind, gruppiert. Bei einem Teil der kleineren Transistoren konnte herstellungstechnisch bedingt ein lateraler Versatz zwischen Kanal und Gate nicht vermieden werden, weshalb diese Transistoren unbrauchbar sind. Abbildungen 40c und d zeigen rasterelektronenmikroskopische Aufnahmen (REM-Aufnahmen) eines Transistors mit einer Gatelänge von 320 nm.

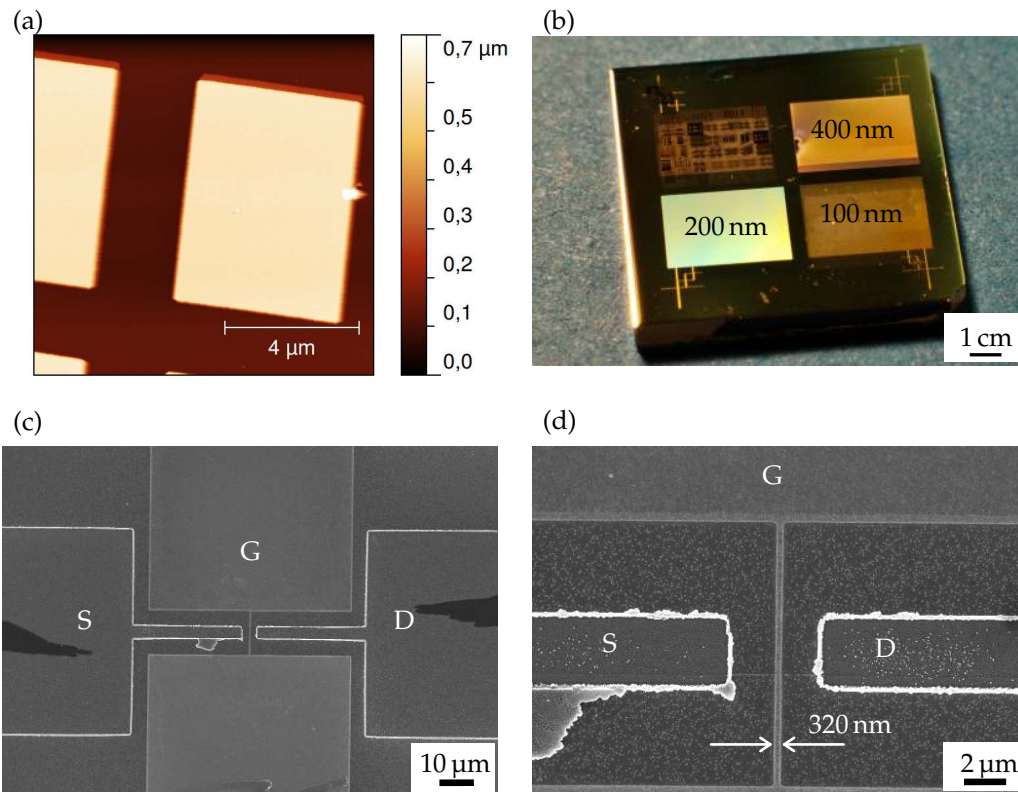


Abbildung 40

Bilder zu Transistoren vom Typ 2. (a) Rasterkraftmikroskopische Aufnahme von PMMA-Strukturen auf einer $\text{LaAlO}_3/\text{SrTiO}_3$ -Oberfläche. Das circa 500 nm dünne PMMA wurde mittels Elektronenstrahlolithographie in rechteckigen Formen strukturiert. Diese Formen definieren die Kanäle für die Transistoren. (b) Lichtmikroskopische Aufnahme einer Probe mit Transistoren, die mit Elektronenstrahlolithographie (Zusammenarbeit mit C. Woltmann und weitere Mitarbeiter des MPI Stuttgart) strukturiert wurden. Die Oberfläche wurde in vier Bereiche aufgeteilt. Die Zahlen in der Grafik geben die nominelle Gatelänge der Transistoren innerhalb des jeweiligen Bereichs an. Im unbeschrifteten Feld finden sich FETs unterschiedlicher Gatelängen. In diesem Feld befinden sich auch die kontaktierbaren FETs. (c) und (d) Rasterelektronenmikroskopische Aufnahme eines FETs mit Gatelänge 320 nm. (Bilder (b)-(d): C. Woltmann, MPI Stuttgart)

4.3 Strukturierung des elektronischen Systems mittels modifizierter Rasterkraftmikroskopie

Die Herstellung sehr schmaler, leitfähiger Bereiche an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen mit Hilfe des sogenannten Linienschreibverfahrens ist prinzipiell einfacher und strukturell flexibler als die Verwendung der vorher beschriebenen lithographischen Verfahren. Darüber hinaus lassen sich mit dieser Technik Linien mit einer Breite von wenigen nm erzeugen und löschen. Diese Größenordnung ist selbst mittels Elektronenstrahlolithographie kaum zu erreichen. Moderne Lithographietechniken wie die Immersionslithographie erzielen Strukturauflösungen von knapp 30 nm, und selbst mittels EUV-Lithographie (*extreme uv*, $\lambda = 13,5$ nm) beträgt die Auflösungsgrenze etwa 10 nm [89]. Gemessen daran bietet die elektrostatische Strukturierung mittels Rasterkraftmikroskopie großes Potential. In den folgenden Abschnitten wird das experimentelle Setup des Lehrstuhls vorgestellt. Anschließend werden exemplarisch Ergebnisse der durchgeführten Experimente dargestellt.

4.3.1 Experimentelles Setup

Benötigt wird für das Verfahren neben der Probe lediglich ein Rasterkraftmikroskop mit einer elektrisch leitfähigen Spitze, die mit einer Spannungsquelle verbunden wird. Die elektronischen Eigenschaften von $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen reagieren sensibel auf die Bestrahlung mit Licht. Die meisten Rasterkraftmikroskope wie auch das am Lehrstuhl vorhandene Rasterkraftmikroskop (Modell MM-2 AFM der Firma Digital Instruments) verwenden einen Laser zur Schwingungsdetektion des Cantilevers. Ein Teil des Streulichts des Laserstrahls gelangt dabei immer auf die Probe und erzeugt dort Photoleitfähigkeit. Da die Probe, auf der leitfähige Linien erzeugt werden sollen, isolierend sein sollte, ist Photoleitfähigkeit unerwünscht. Die Verwendung eines speziellen Sensors, einer Quartz-Stimmgabel in qPlus-Konfiguration [106], vermeidet diesen zusätzlichen, parasitären Beitrag an elektrischer Leitfähigkeit. Das Mikroskop samt Probe befindet sich außerdem während der Versuche in einem Dunkelzelt. Abbildung 41 stellt Fotografien des Setups dar. Abbildung 42 benennt wichtige Komponenten der Steuerelektronik sowie das SAM (*signal access module*).

Einer der verwendeten qPlus-Sensoren wird in Abbildung 43 dargestellt. Der qPlus-Sensor besteht aus einer Stimmgabel, die auf ein Substrat (Al_2O_3), das mit Elektroden versehen ist, aufgeklebt wird. Eine Zinke der Stimmgabel ist fixiert, die andere kann frei schwingen. Am Ende der Stimmgabel befindet sich die Spitze, also der eigentliche Sensor, der mit der Probe in Kontakt gebracht wird. Als Spitzen werden kommerzielle Cantilever (Modell SSS-NCH [107]) mit Hilfe eines Mikromanipulators mit Silber-Epoxi-Kleber (Modell Epo-Tek E4110 [108]) auf die frei schwingende Zinke geklebt. Anschließend wird der Cantilever vom (Cantilever-) Substrat abgebrochen. Ein Ergebnis ist in den Abbildungen 43b und 43c dargestellt. Eine Schwierigkeit besteht darin, dass der Cantilever im richtigen Winkel auf die Gabel geklebt werden muss, so dass seine Spitze den Punkt des Sensors darstellt, welcher der Probe am nächsten kommt.

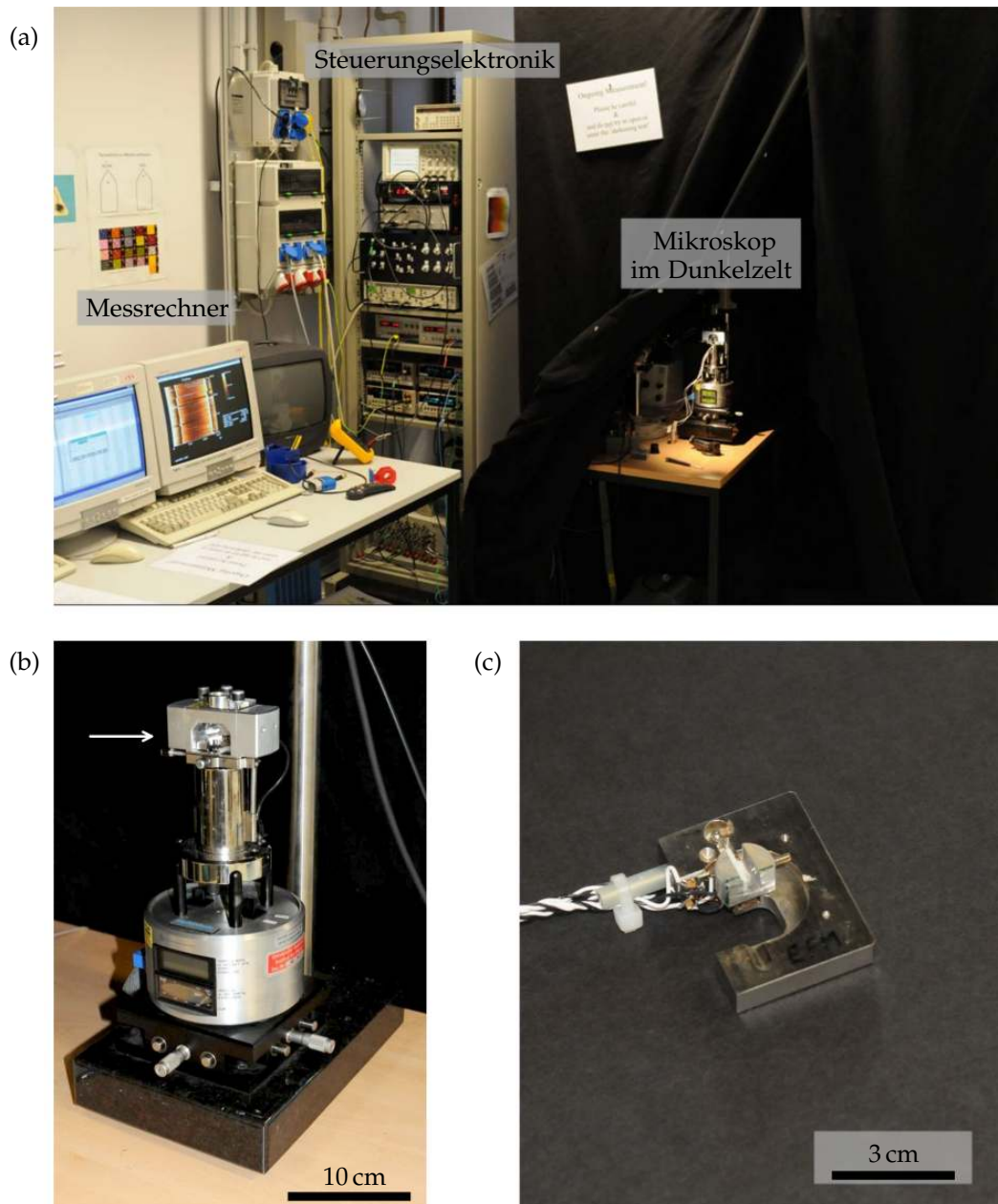


Abbildung 41

Das zur Erzeugung von Nanostrukturen an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen verwendete Setup. (a) Fotografie des Aufbaus. Das Mikroskop ist in einem Dunkelzelt untergebracht. (b) Das verwendete Mikroskop (Modell DI Multimode-2). Im Mikroskopkopf (mit einem Pfeil markiert) werden die Probe und der Sensorhalter (c) untergebracht.

Wenn das Aufkleben des Sensors erfolgreich verlaufen ist, wird die Positionierung des Cantilevers auf der Stimmgabel sowie die Qualität der Spitze mittels REM-Aufnahmen verifiziert. Danach wird der Sensor in das Mikroskop eingebaut.

Wichtige Komponenten des verwendeten qPlus-Setups sind in Abbildung 44 schematisch dargestellt. Der Sensor wird auf einen Piezokristall montiert, der durch eine Wech-

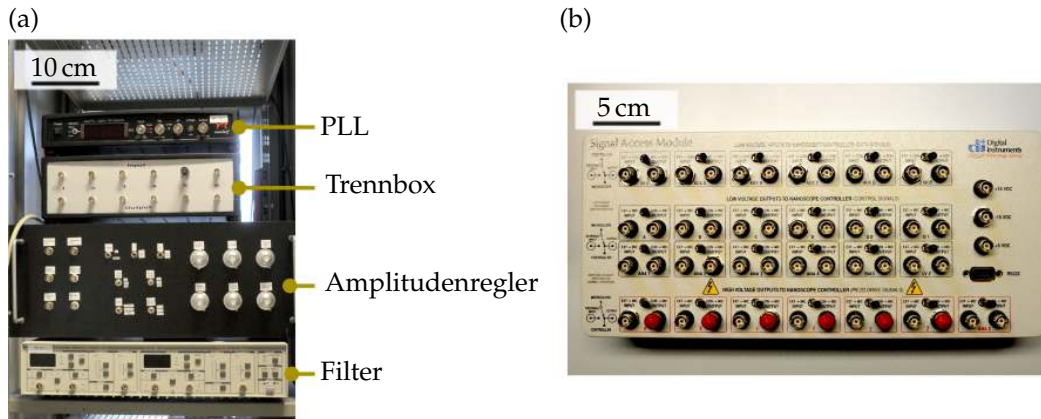


Abbildung 42

Fotographien wichtiger Komponenten des qPlus-Setups und des Mikroskops. (a) Teile der Steuerungselektronik. Die Trennbox dient zum elektrischen Entkoppeln von Messsignalen von der Labor-Masse. Das Filter filtert Frequenzen unterhalb und oberhalb der Schwingungsfrequenz des qPlus-Sensors (32 kHz) und befindet sich schaltungstechnisch zwischen Stimmgabel und Amplitudenregler. (b) Das verwendete SAM. Die coaxialen Anschlüsse ermöglichen das Auslesen oder Einspeisen von elektrischen Signalen vom/zum Mikroskop und Controller.

selspannung zum Schwingen angeregt wird. Mit ihm schwingt auch die Stimmgabel. Findet diese Anregung bei der Resonanzfrequenz der Stimmgabel (circa 32 kHz) statt, wird die Amplitude der Gabel maximal. Die mechanische Verformung der Stimmgabel erzeugt aufgrund der piezoelektrischen Eigenschaft des Quartz eine elektrische Spannung zwischen den Elektroden auf ihren piezoelektrischen Zinken. Über einen Strom-Spannungs-Wandler werden die Elektroden stets auf gleichem Potential gehalten. Dadurch ergibt sich durch die Schwingung der Stimmgabel ein periodischer Verschiebungsstrom zwischen den Elektroden, der vom Strom-Spannungswandler in Form einer Wechselspannung U_{osc} ausgegeben wird. Eine Steuerelektronik verwendet dieses Spannungssignal um damit den Piezokristall – 90° phasenverschoben – mit U_{drive} anzuregen. Durch diese Phasenverschiebung schwingt die Stimmgabel näherungsweise stets mit ihrer aktuellen Resonanzfrequenz. Eine detaillierte Beschreibung findet sich in [109]. Ein PLL (*phase-locked loop*, Modell EasyPLL der Firma Nanosurf [110]) wird auf die Resonanzfrequenz des Sensors im frei schwingenden Fall eingestellt.

Tritt die Spitze in Wechselwirkung mit der Probenoberfläche, verschiebt sich die Resonanzfrequenz des Schwingungssystems gegenüber der ursprünglichen Resonanzfrequenz. Dabei können abhängig vom Spitzen-Proben-Abstand Verschiebungen in positive wie negative Richtung auftreten [111]. Die Frequenzverschiebung Δf wird von einem PLL detektiert. Δf wird vom PLL in eine Spannung $U_{\Delta f} \propto \Delta f$ umgewandelt und als eigentliche Messgröße an das SAM übergeben. Das SAM befindet sich schaltungstechnisch zwischen Mikroskop und Controller und dient dazu, Signale, die zwischen Mikroskop und Controller ausgetauscht werden, auszulesen oder mit externen Signalen zu ersetzen. Der Controller übernimmt Software-gesteuert die Positionierung der Spitze in x -, y - und z -Richtung, indem er die Hochspannungssignale für die jeweiligen Piezokristalle im Mikroskop ausgibt. Am SAM werden die Hochspannungssignale für die x - und

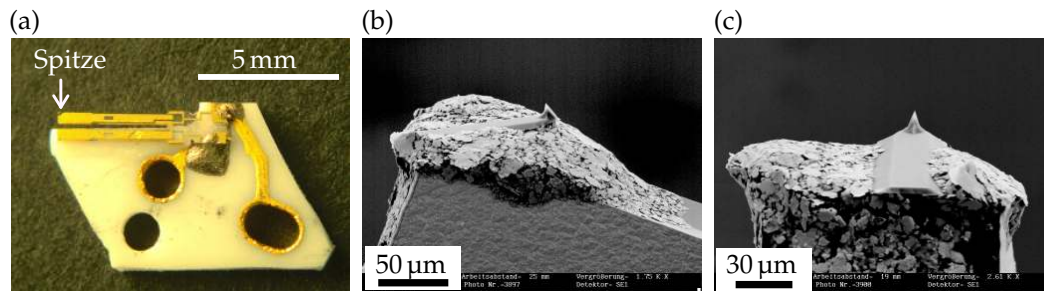


Abbildung 43

(a) Lichtmikroskopische Aufnahme eines qPlus-Sensors. Eine Zinke der Stimmgabel ist auf eine Halterung aufgeklebt, die andere Zinke ist frei. Elektrische Kontakte zwischen den Elektroden der Stimmgabel und der Halterung wurden mit Silberleitkleber hergestellt. Am Ende der freien Zinke befindet sich der aufgeklebte Cantilever mitsamt Spitze. (b) und (c) REM-Aufnahmen eines aufgeklebten Cantilevers. Die Spitze des Cantilevers bildet den höchsten Punkt.

y -Positionierung ausgelesen und aufgezeichnet. Gleichzeitig wird vom PC die angelegte Spitzen-Proben-Spannung sowie der gemessene Probenwiderstand aufgezeichnet.

4.3.2 Probenpräparation

Die elektrostatische Erzeugung leitfähiger Linien erfordert eine LaAlO_3 -Schichtdicke knapp unterhalb der kritischen Schichtdicke von 4 EZ. Experimentell erwies sich eine nominelle Schichtdicke zwischen 3,0 und 3,3 Einheitszellen als geeignet. Die Dicke wird über die Anzahl der Schüsse definiert, die während der Deposition abgegeben werden. Eine nominell 0,3 EZ dicke LaAlO_3 -Schicht wird also mit der 0,3-fachen Schusszahl, die für eine vollständige Lage nötig ist, hergestellt. Die LaAlO_3 -Filme dieser Proben wurden mit Standard-Parametern für LaAlO_3 -Filme hergestellt. Abbildung 45 stellt den RHEED-Signalverlauf der Deposition eines 3,3 EZ dicken LaAlO_3 -Films dar.

Kontaktiert wurden die Grenzflächen der 3,3 EZ-Proben durch Ionenätzen und Titan-Sputtern. Um die AFM-Spitze des Sensors nicht durch große Höhenunterschiede auf der Probe mechanisch zu belasten wurde die Sputterzeit so angepasst, dass die Stufe von der Titan-Oberfläche zur LaAlO_3 -Oberfläche nur wenige nm beträgt. Die lichtmikroskopische Aufnahme sowie die AFM-Aufnahme einer Kontaktgeometrie ist in Abbildung 46 dargestellt. Sie zeigt mehrere Ti-Kontakte mit der dazwischen liegenden LaAlO_3 -Oberfläche. An den Kanten der Kontakte sind außerdem Erhöhungen zu erkennen, die beim Prozess nicht vollständig vermieden werden konnten. Dabei handelt es sich vermutlich um Ti-Reste, die sich während des Sputtervorgangs an den Rändern des Photolacks angehäuft haben. Die Abbildung zeigt außerdem den wichtigsten Ausschnitt einer Kontaktstruktur, die für die Experimente verwendet wurde. Der verwendete Scanner des Rasterkraftmikroskops besitzt einen Scanbereich von je 15 µm in x - und y -Richtung. Diese Beschränkung und die Auflösungsgrenze der Photolithographie geben den Bereich für die Größe der lateralen Abstände der Kontakte vor.

Es hat sich experimentell herausgestellt, dass die elektrostatische Strukturierung am besten an solchen Grenzflächen funktioniert, die sehr starke Photosensitivität zeigen. Diese

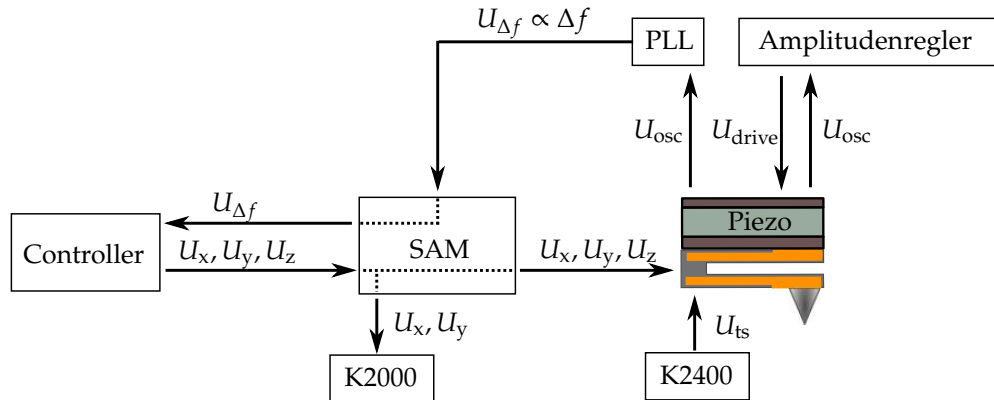


Abbildung 44

Schematische Darstellung wichtiger Komponenten des verwendeten qPlus-Setups. Der dargestellte qPlus-Sensor mit Piezo steht exemplarisch für den qPlus-Sensor, den Anregungspiezo für die Schwingung sowie die Scanner-Piezos für die x -, y - und z -Richtung. Ein Anregungspiezo wird durch U_{drive} zum Schwingen angeregt, mit ihm die qPlus-Stimmgabel. Die periodische, mechanische Verformung des frei schwingenden Zinken bewirkt einen Verschiebungsstrom zwischen den Elektroden der Zinken. Ein Strom-Spannungs-Wandler (nicht dargestellt) wandelt den Verschiebungsstrom in eine Spannung U_{osc} um und gibt diese an den Eingang eines Amplitudenreglers. Nach Abgleich von U_{osc} mit der Sollamplitude gibt der Regler die gegenüber U_{osc} um 90° phasenverschobene Spannung U_{drive} an den Piezo. U_{osc} wird außerdem an ein PLL (*phase-locked loop*) geleitet. Das PLL bestimmt die Frequenzverschiebung Δf gegenüber der vorher festgelegten Resonanzfrequenz und gibt eine Spannung $U_{\Delta f}$, die proportional zu Δf ist, an das SAM. Das SAM leitet $U_{\Delta f}$ an den Controller. Der Controller regelt die Positionierung der Spitze auf der Probe mit den Spannungen U_z (Spitzen-Proben-Abstand) sowie U_x und U_y (laterale Positionierung). U_x und U_y werden von einem Keithley 2000 Multimeter (K2000) am SAM ausgelesen. Mit einem Keithley 2400 Source Meter kann eine Spannung U_{ts} an die Spitze angelegt werden.

Eigenschaft wird zur Identifizierung geeigneter Stellen auf der Probe ausgenutzt. Dabei werden mehrere Strukturen (Abbildung 46) auf einer Probe untersucht. Wird eine solche Probe abgedunkelt, klingt die Photoleitfähigkeit langsam ab. Nach einigen Stunden kann sich der Widerstand hierbei um Größenordnungen ändern. Das Abklingen variiert jedoch sowohl von Probe zu Probe als auch innerhalb einer Probe von Struktur zu Struktur.

Ein geeigneter Kontakt auf so hergestellten Proben lässt sich also in erster Linie durch Ausprobieren finden. Dazu werden mehrere Strukturen kontaktiert und der Widerstandsverlauf als Funktion der Zeit nach dem Abdunkeln der Probe bestimmt. Abbildung 47 stellt drei solcher Messungen zum Vergleich dar. Alle drei Kurven wurden gleichzeitig auf einer Probe gemessen. Die Verläufe weichen stark voneinander ab. Der Kontakt, an dem der rote Verlauf aufgenommen wurde, zeigt einen starken Widerstandsanstieg und ist für das Linienschreiben geeignet. Die anderen beiden Kontakte zeigen nur einen geringen Anstieg. Bei den Verläufen der Widerstände spielen mehrere Zeitkonstanten eine

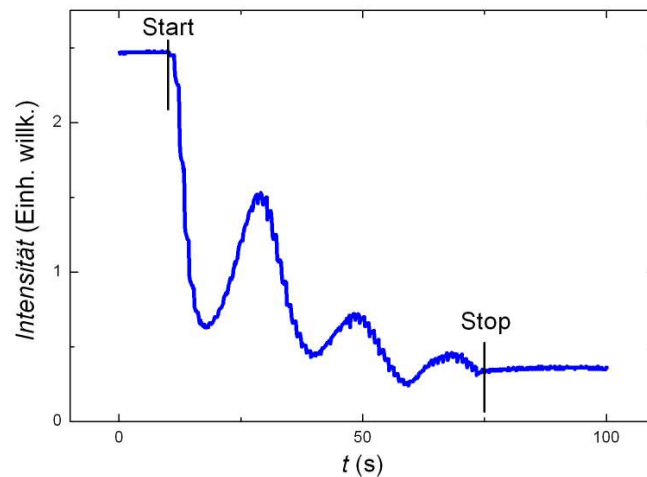


Abbildung 45

RHEED-Signalverlauf bei der Herstellung der Probe AFM01. Beginn und Ende der Deposition sind markiert. Die Schichtdicke des gewachsenen LaAlO_3 -Films lässt sich hieraus zu etwas mehr als 3 Einheitszellen ablesen. Eine volle Oszillation wird nach etwa 18 Schüssen durchlaufen. Nach dem dritten Maximum wurden noch 5 weitere Schüsse abgegeben, also das etwa 0,3-fache von 18 Schüssen.

Rolle.

Eine Ursache für das stark unterschiedliche Zeitverhalten dieser Kontakte ist die Herstellungsprozedur bei dieser Probe. Beim Wachsen des LaAlO_3 -Films wurde die Probe bewusst etwas außerhalb des Plumes positioniert, um einen Gradienten in der Schichtdicke zu erzeugen. Dieser Gradient wurde nicht explizit gemessen. Auch die Auswirkung der Fehlalignment des Plumes bei der Deposition auf die Stöchiometrie der hergestellten Schicht wurde nicht untersucht.

4.3.3 Probenhalter und Spitzenpositionierung

Der verfügbare Platz unter dem Mikroskopkopf ist stark begrenzt. Um die Probe trotzdem elektrisch kontaktieren und einbauen zu können wurde ein Probenhalter angefertigt. Eine fertig kontaktierte Probe auf diesem Probenhalter ist in Abbildung 48 zu sehen. Die so kontaktierte Probe wird in den Kopf des Rasterkraftmikroskops eingebaut und das ganze System durch einen doppelten Vorhang abgedunkelt.

Die Grobpositionierung erfolgt mit einem Lichtmikroskop. Im AFM-Modus erfolgt die Ansicht senkrecht zur Probenoberfläche. Beim qPlus-Setup ist bedingt durch die Stimmgabel mitsamt Halterung nur eine schräge Sicht auf die Probe möglich. Dadurch ist eine Positioniergenauigkeit von lediglich mehreren $10\ \mu\text{m}$ möglich. Nach Abschalten der Mikroskopbeleuchtung klingt die Photoleitfähigkeit ab. Dann wird der relevante Bereich der Probe noch genauer angefahren. Dazu wird die Topographie der aktuellen Probenposition aufgenommen. Anhand der Kontaktstrukturen kann dann, nach zurückfahren des Sensors, die Position über die x/y -Mikrometerschrauben des Mikroskops angepasst

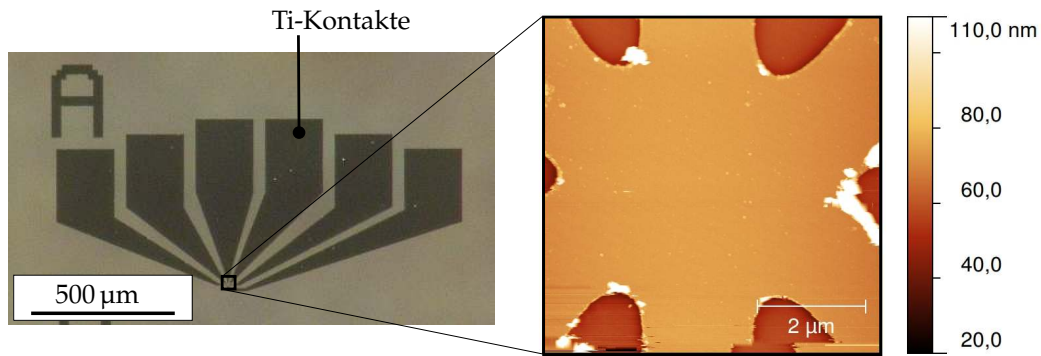


Abbildung 46

Lichtmikroskopische und rasterkraftmikroskopische Aufnahme einer LaAlO_3 - SrTiO_3 -Probe mit Ti-Kontakten. Die Titan-Kontakte zur Grenzfläche laufen auf eine Fläche der Kantenlänge $6\text{ }\mu\text{m}$ zusammen. Diese Fläche ist im rechten Bild gezeigt. Trotz einiger kleinerer Verschmutzungen der Oberfläche sind nach allen Prozessschritten stets die Stufen der Höhe von SrTiO_3 -Einheitszellen zu sehen.

werden. Anschließend wird wieder ein Bild der Oberfläche aufgenommen. Diese Prozedur wird solange wiederholt, bis der zentrale Bereich der Struktur (siehe Abbildung 46) im Scanbereich des Mikroskops liegt.

Die Steuerung der Spitzenposition geschieht mit Hilfe der Software des Mikroskops (Nanoscope 4). Innerhalb der Software lassen sich Skripte verfassen und starten. Anweisungen für die x/y -Positionierung lassen sich in den Einheiten Volt oder μm geben. Das verwendete Mikroskop verfügt jedoch über keine Kontrolle der tatsächlich angefahrenen Position.

4.3.4 Beispiele erzeugter Strukturen

An mehreren Proben konnten zeitlich stabile, leitfähige Linien erzeugt werden. Dazu waren Schreibspannungen zwischen 16 V und 20 V nötig. Dieses Ergebnis stimmt gut mit den früheren am Lehrstuhl erzielten Ergebnissen von C. Stephanos überein [75]. Auch nach mehreren Stunden konnte eine deutlich erhöhte Leitfähigkeit nachgewiesen werden. Die Linien konnten durch Anlegen negativer Spannungen wieder gelöscht werden. Außerdem war es möglich, einzelne Linien miteinander zu verbinden und gezielt zu löschen. Aus dem Kurvenverlauf der Leitfähigkeit konnte eine Liniendicke von etwa 50 nm bestimmt werden. Verglichen mit den von C. Cen *et al.* publizierten Werten [74] von wenigen nm scheinen die in Augsburg gewonnenen Werte sehr groß. Die absoluten und relativen Sprünge im Widerstandsverlauf fallen jedoch ebenfalls stark unterschiedlich aus. So ändert sich der von Cen publizierte Probenwiderstand von 150 MOhm auf 130 MOhm . Durchschnittliche relative Widerstandsänderungen innerhalb dieser Arbeit lagen meist zwischen 2 und 100.

Der Ablauf einer Messung ist in Abbildung 49 dargestellt. Jede Grafik ist in zwei Bilder unterteilt. Im jeweils oberen Bild ist der Widerstandsverlauf aufgetragen. Das jeweils un-

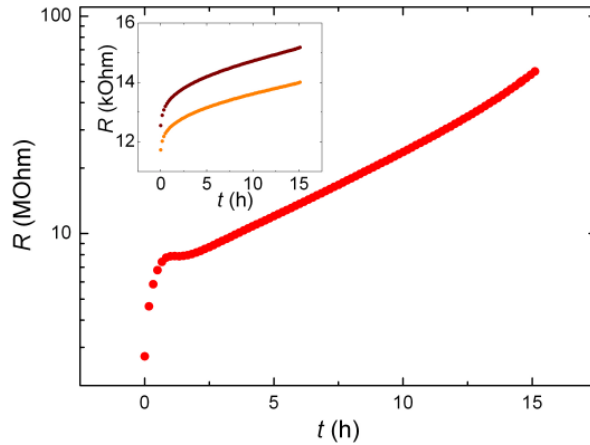


Abbildung 47

Abklingen der lichtinduzierten Leitfähigkeit gemessen an einer $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche. Die dargestellten Widerstände wurden in Zweipunktconfiguration gemessen, die lateralen Kontaktabstände betragen wenige μm . Jede der drei Messkurven wurde an einer anderen Stelle der Probe aufgenommen. Die rote Kurve zeigt einen Anstieg von R innerhalb einer Stunde auf mehrere MOhm. Anschließend steigt R langsamer um eine weitere Größenordnung. Die beiden Kurven im Inset zeigen ein anderes Verhalten. Hier steigt der Widerstand auf wenige kOhm. Kontakte mit $R(t)$ -Verläufen ähnlich dem mit der roten Kurve dargestellten sind für das Linienschreibverfahren geeignet.

tere Bild stellt die Spitzenposition auf der Probenoberfläche als U_x und U_y dar, also die Spannungen der x - und y -Scannerpiezos des Mikroskops. Die Messung stellt das Schreiben zweier sich deckender Linien mit einer Spannung von 18 V dar (Abbildung 49a). Für das Löschen der Linie wurde eine Spannung von -16 V verwendet (Abbildung 49b). Mit einer Spannung von 16 V wurden erneut mehrere Linien geschrieben. Der Widerstand fällt jedoch nicht auf den in Abbildung 49a gezeigten Minimalwert. Dieser Minimalwert wird erst mit einer Spannung von 18 V erreicht (Abbildung 49c). Über Nacht wurde ein kontinuierlicher Anstieg des Probenwiderstands aufgezeichnet (Abbildung 49d). Durch Wiederholung des Schreibvorgangs konnte der Widerstand erneut gesenkt werden (Abbildung 49e). Mit einer Spannung von -18 V konnte der ursprüngliche Probenwiderstand wieder hergestellt werden (Abbildung 49f).

Abbildung 50 stellt die Messdaten eines Experiments dar, bei dem zwei bereits geschriebenen Linien mit einer dritten Linie verbunden wurden. Danach wurde eine der beiden ersten Linien gelöscht und anschließend die Verbindung zwischen den Kontakten mit einer neuen Linie wieder hergestellt. Abbildung 51 demonstriert die Bestimmung der Dicke einer geschriebenen Linie.

Neben Proben mit nur 3,3 Einheitszellen dicken LaAlO_3 -Filmen wurden auch Proben mit zusätzlichem, 8 Einheitszellen dickem BaTiO_3 hergestellt (Parameter siehe Abschnitt 3.4). Die Kontaktgeometrie wurde für diese Proben identisch zur oben beschriebenen Geometrie gewählt. Die Proben mit zusätzlicher BaTiO_3 -Schicht wurden ebenfalls wie oben

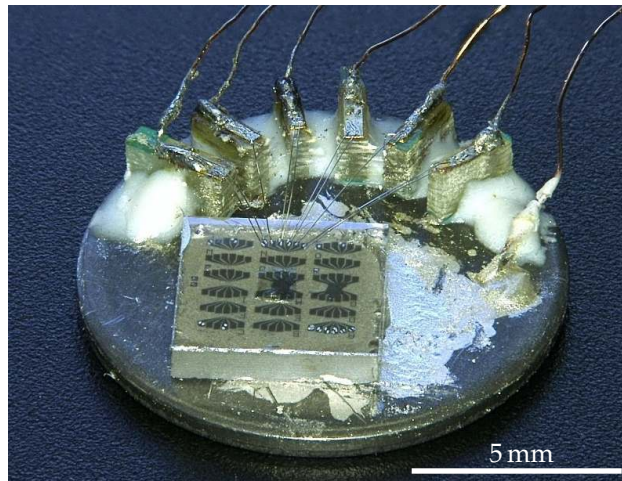


Abbildung 48

Fotografie des für das Linienschreiben verwendeten Probenhalters samt Probe. Diese wurde mit Silberleitkleber auf dem Halter fixiert. Elektrische Kontakte führen von der Probenstruktur über Kontaktpads zu aufgelöteten Kupferlackdrähten.

beschrieben kontaktiert und in das Mikroskop eingebaut. Anders als bei Proben ohne BaTiO_3 konnte an diesen Proben kein stetiges Abklingen der Fotoleitfähigkeit beobachtet werden. Stattdessen ergaben sich mit der Zeit schwankende Widerstandsverläufe ohne klar erkennbaren Trend. Auf keine der untersuchten Proben mit BaTiO_3 -Schicht konnten leitfähige Linien erzeugt werden.

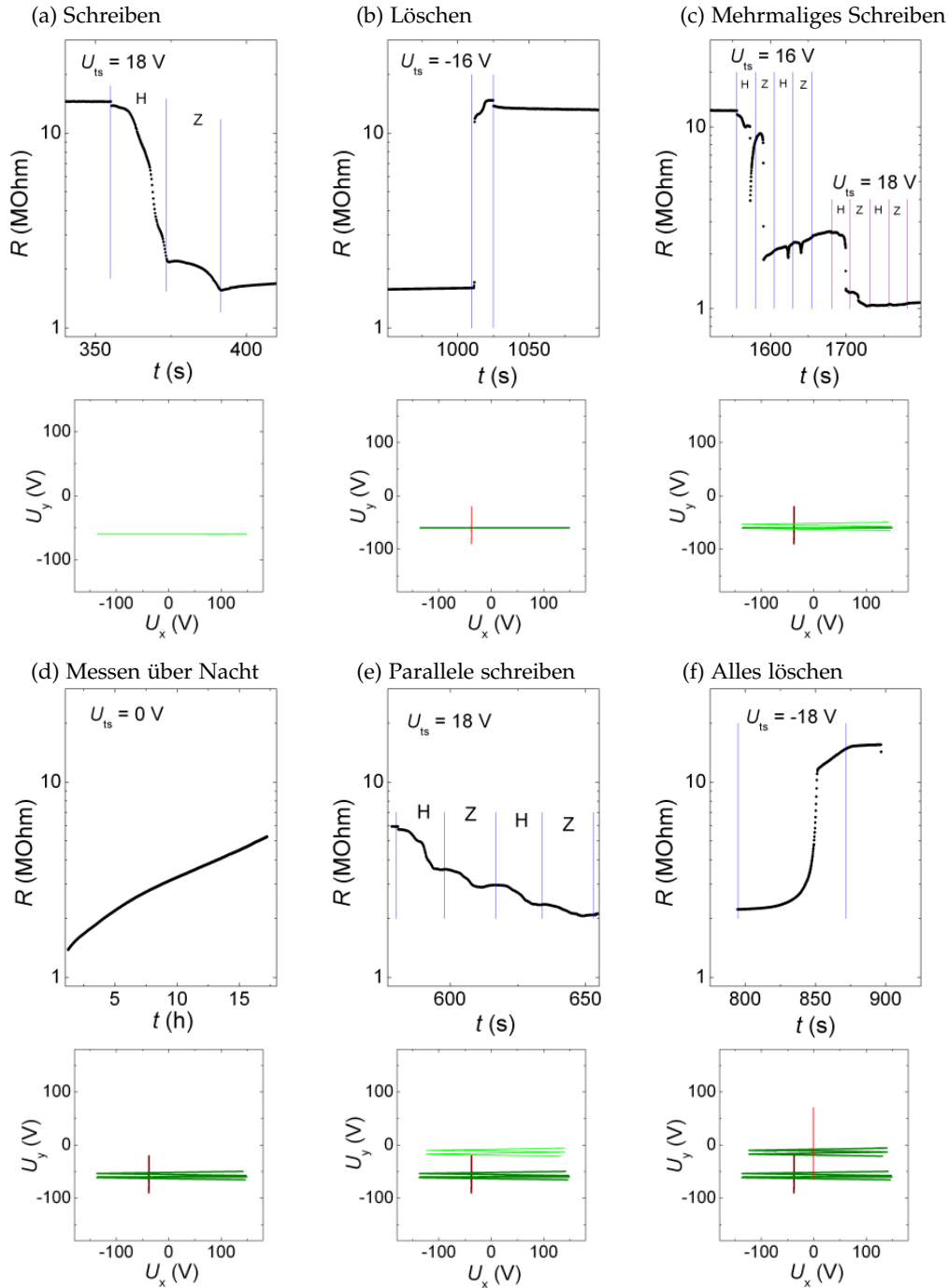


Abbildung 49

Elektrostatische erzeugte Linien an einer $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche (Probe CYS19). Jede Unterfigur stellt den zeitlichen Verlauf des Widerstands (oberes Bild) sowie die während des Schreibprozesses anliegenden x/y -Spannungen (unteres Bild). Die Spannungen spiegeln näherungsweise die Spitzenposition wieder. H bedeutet, dass die Spitze nach rechts (hin) läuft, Z bezeichnet die entgegengesetzte Richtung (zurück). Die exakte Position der Titan-Kontakte konnte nicht gleichzeitig aufgezeichnet werden. Die in (a) dargestellte Linie stellt jedoch mit einer Spitzen-Proben-Spannung von $U_{ts} = 18 \text{ V}$ eine leitfähige Verbindung zwischen den Kontakten her, der Widerstand sinkt. (b) Löschen. (c) Schreiben. $U_{ts} = 16 \text{ V}$ erzeugt auch nach mehrmaligem Hin- und Zurückfahren nicht den gleichen Grundlevel wie in Messung (a). $U_{ts} = 18 \text{ V}$ senkt den Widerstand weiter. (d) Widerstandsverlauf über Nacht. (e) Erneutes Schreiben am nächsten Tag. (f) Löschen aller Linien.

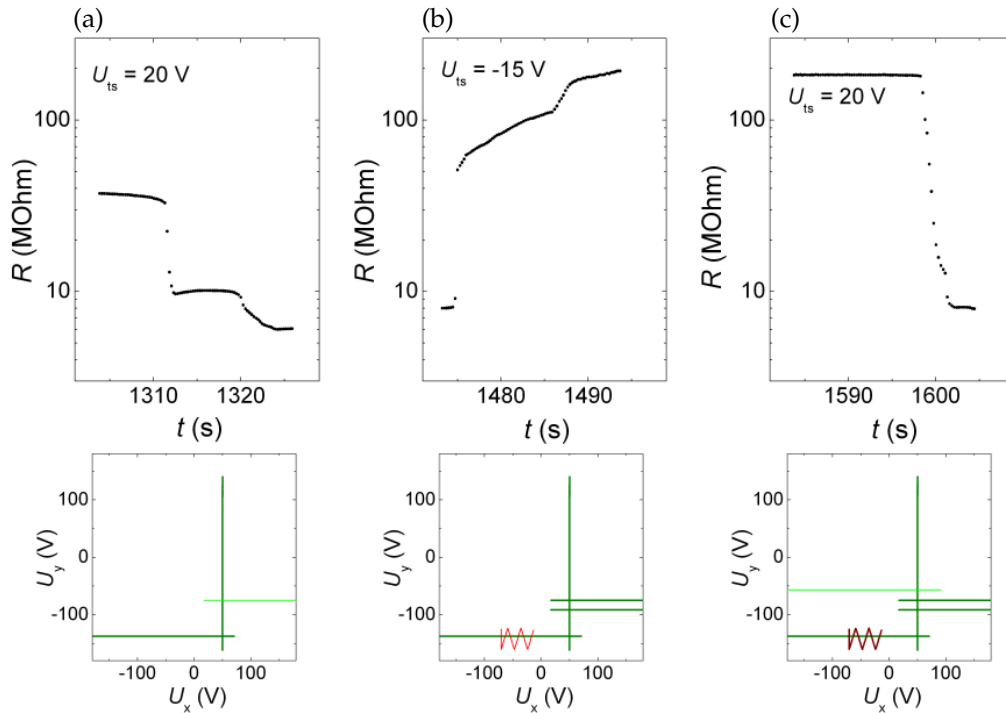


Abbildung 50

(a) Zwei vorhandene Linien (dunkelgrün) werden mit einer dritten, kurzen Linie (hellgrün) verbunden. (b) Eine der beiden ersten Linien wird gelöscht, der Widerstand steigt. (c) Die leitende Verbindung der beiden Grenzflächenkontakte wird durch eine neue Linie wieder hergestellt.

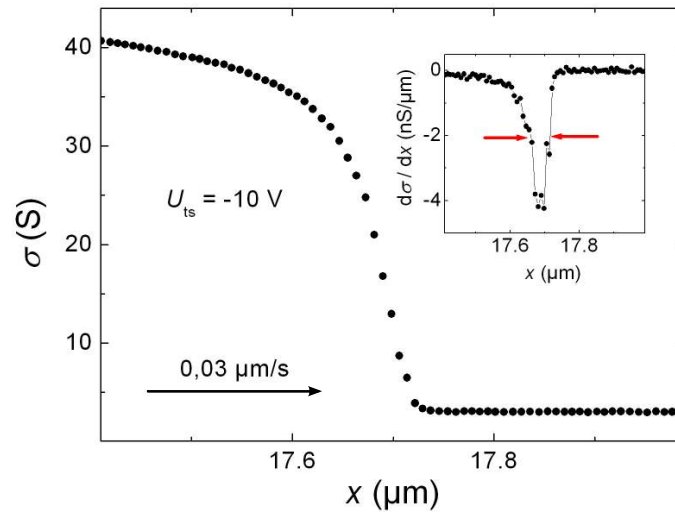


Abbildung 51

Während eines Löschvorgangs einer elektrostatisch erzeugten Linie gemessener Leitfähigkeitsverlauf. Der jeweilig Positions Wert (x -Achse) wurde aus aufgezeichneter Messzeit und Spitzengeschwindigkeit berechnet. Ihr Absolutwert ist bedeutungslos. Im Inset ist die Ableitung der Messdaten aufgetragen. Aus ihr lässt sich die Dicke der gelöschten Linie bestimmen (rote Pfeile). Im dargestellten Fall ergibt sich eine Dicke von 50 nm.

5 Eigenschaften und Anwendung oxidischer Feld-Effekt-Transistoren

In diesem Kapitel werden die gemessenen Transporteigenschaften beider Transistortypen dargestellt und verglichen. Eine erklärende Darstellung zu Strom- und Spannungsbezeichnungen dieses Kapitels zeigt Abbildung 52. Das Kapitel behandelt zuerst FETs vom Typ 1 (Gatematerial: $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$, Dielektrikum: 9 EZ dickes LaAlO_3), dann FETs vom Typ 2 (Gatematerial: Au, Dielektrikum: 8 EZ dickes BaTiO_3 und 5 EZ dickes LaAlO_3). Tabelle 3 gibt einen Überblick über die Probenbezeichnungen und die Geometrien der untersuchten Transistoren. Wenn nicht anders angegeben wurden alle nun dargestellten Messwerte bei Zimmertemperatur (circa 290 K) bestimmt. Nach Darstellung der Messergebnisse folgt ein Vergleich der Ergebnisse mit Kenngrößen von FETs anderer Materialsysteme. Der letzte Abschnitt des Kapitels beschreibt die Entwicklung, Herstellung und Funktion einer integrierten, monolithischen Schaltung mit oxidischen Transistoren.

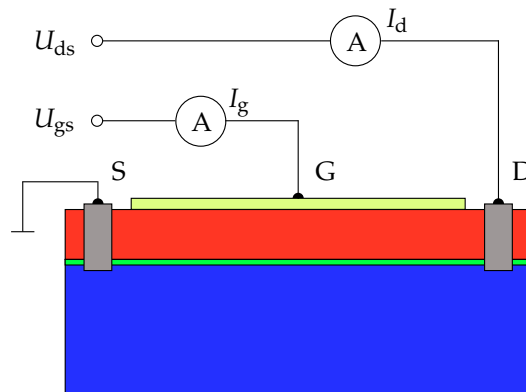


Abbildung 52

Erklärende Darstellung zur Messung charakteristischer FET-Eigenschaften. Dargestellt ist der schematische Querschnitt eines FETs, markiert sind Source, Drain und Gate (S, D, G). Farblich markiert sind das Dielektrikum (rot), das Substrat (blau) und der Kanal (grün), vergleiche Abbildung 20. U_{gs} liegt am Gate-Kontakt an, U_{ds} am Drain-Kontakt. Gemessen werden I_d und I_g .

5.1 Feld-Effekt-Transistoren vom Typ 1

Als erstes werden die gemessenen Kennlinien der Feld-Effekt-Transistoren vom Typ 1 dargestellt und analysiert. Abbildung 53 zeigt Kennlinienfelder $I_d(U_{ds})$ des FETs R149-1 für fest Gatespannungen. Für $U_{gs} = 0\text{ V}$ leitet dieser FET und geht bei circa $U_{ds} = 0,7\text{ V}$ in den Sättigungsbereich bei einem Sättigungsstrom von circa $I_{d,\text{sat}} = 45\text{ }\mu\text{A}$. Mit Gatespannungen von -1 V bis $0,5\text{ V}$ kann der Sättigungsstrom über 4 Größenordnungen moduliert werden.

Nach Kapitel 1 lassen sich Kennlinien idealisierter FETs beschreiben durch

Bezeichnung	Typ	Breite (µm)	Länge (µm)	Abbildung
R134-1	1	300	20	Text
R149-1	1	300	30	53, 54, 56, 57
R149-2	1	300	10	54, 55, 57
R149-3	1	2000	10	54, 57
R149-4	1	300	30	Text
R132-1	2	300	20	Text
R141-1	2	200	20	59, 60
R141-2	2	100	20	59, 60
R141-3	2	150	20	60, 61
R144-1	2	300	10	58
R144-2	2	100	10	58
R144-3	2	1500	10	59
R144-Hall	2	-	-	Text
CWO-1	2	300	20	62
CWO-2	2	96	6,4	62
CWO-3	2	3	0,2	62

Tabelle 3

Übersicht der Proben und FETs, deren Eigenschaften in diesem Kapitel exemplarisch ausgewertet werden. Die Bezeichnung besteht aus Probennummern-Nummer. Typ kennzeichnet Typ-1 (Gatematerial: $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$, Dielektrikum: 9 EZ dickes LaAlO_3) und Typ-2 (Gatematerial: Au, Dielektrikum: 8 EZ dickes BaTiO_3 und 5 EZ dickes LaAlO_3) FETs. Breite und Länge geben die Gate-Dimensionen an. Die letzte Spalte listet die entsprechenden Tabellen und Grafiken auf.

$$I_d = \beta \cdot \left(U_{gs} - U_t - \frac{U_{ds}}{2} \right) U_{ds} \quad (13)$$

$$I_{d,sat} = \frac{\beta}{2} \cdot (U_{gs} - U_t)^2 \quad (14)$$

Sie sind also charakterisiert durch folgende Größen: Verstärkungsfaktor $\beta = W/L \cdot \beta_{\square}$ (mit der Kanallänge L und der Kanalbreite W), Gatespannung U_{gs} und die Schwellspannung U_t . Aus den Kennlinien lassen sich entsprechende Werte für U_t und $\beta_{\square}$ bestimmen.

Abbildung 54a vergleicht die Messungen an drei Transistoren unterschiedlicher Geometrie. Die Ströme wurden durch das jeweilige Aspektverhältnis (W/L) dividiert. Die Kurven decken sich wider Erwarten nicht. Ursache hierfür ist der parasitäre Widerstand R_s . Der Index deutet an, dass es sich um den Source-seitigen parasitären Widerstand handelt. Dieser Widerstand kommt dadurch zustande, dass der Source-Grenzflächenkontakt und die vom Gate bedeckte und kontrollierte Fläche, der Kanal, lateral voneinander getrennt sind. Dieses Stück besitzt einen parasitären elektrischen Widerstand. R_s lässt sich aus den gemessenen Daten bestimmen. Abbildung 54b zeigt die jeweils bei $U_{ds} = 10 \text{ mV}$ gemessenen Kanalwiderstände aufgetragen über den entsprechenden Kanallängen der sonst strukturell gleichen FETs. Im Inset ist ein Ersatzschaltbild dargestellt, in dem R_s und ein FET seriell verschaltet sind. Ihre Widerstände addieren sich also. Da der Kanalwiderstand mit der Kanallänge L skaliert, lässt sich aus dem Schnittpunkt der in Abbildung 54b eingezeichneten Geraden näherungsweise der Vorwiderstand R_s bestimmen [112]. Im dargestellten Fall ergibt sich $R_s = 2,5 \text{ k}\Omega$. Daraus errechnet sich ein Flächenwiderstand $R_{\square} = 75 \text{ k}\Omega$.

Wie beeinflusst R_s die Kennlinie des FETs? Nach $U_s = I_d \cdot R_s$ verursacht I_d einen Spannungsabfall U_s am Widerstand R_s . Der Kanalstrom wird dann näherungsweise beschrieben durch

$$I_d = \beta \cdot \left((U_{gs} - U_s) - U_t - \frac{U_{ds} - U_s}{2} \right) (U_{ds} - U_s). \quad (15)$$

Durch U_s wird die effektive Drain-Source-Spannung, also die Spannung, die in Abbildung 54b zwischen S und D anliegt, am Kanal reduziert. Außerdem wird die effektive Gatespannung modifiziert durch einen stromabhängigen Beitrag. Nicht berücksichtigt ist in dieser Gleichung der Drain-seitige Widerstand, der ebenfalls zu einem Spannungsabfall und damit zu einer Reduktion der effektiven Drain-Source-Spannung führt.

Der Einfluss parasitärer Widerstände verliert an relativem Gewicht, wenn der Kanalwiderstand R_{out} sehr groß wird, so dass $R_{out} \gg R_s$. In diesem Spannungsbereich treten kleine Kanalströme auf und U_s wird klein. β wurde deshalb aus den Kennliniendaten im Verarmungsbereich $U_t < U_{gs} < 0$ bestimmt. Für $U_{ds} > U_{gs} - U_t$ befindet sich ein Transistor in Sättigung und I_d wird nach Gleichung 14 beschrieben. I_d hängt in diesem Bereich quadratisch von U_{gs} ab. Aus diesem quadratischen Zusammenhang kann die Schwellspannung bestimmt werden.

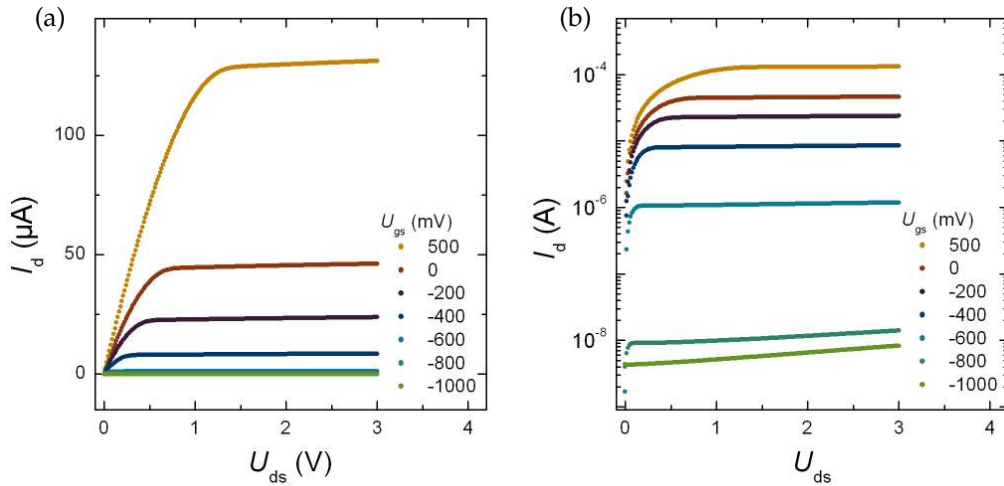


Abbildung 53

Kennlinien des FETs R149-1. (a) $I_d(U_{ds})$ -Kennlinien bei unterschiedlichen Gatespannungen. Für $U_{gs} < -600 \text{ mV}$ wird der Kanalstrom stark unterdrückt. In allen Kennlinien ist das typische Sättigungsverhalten erkennbar. (b) Halblogarithmische Darstellung der Kennlinien. Der Kanalstrom moduliert über vier Größenordnungen.

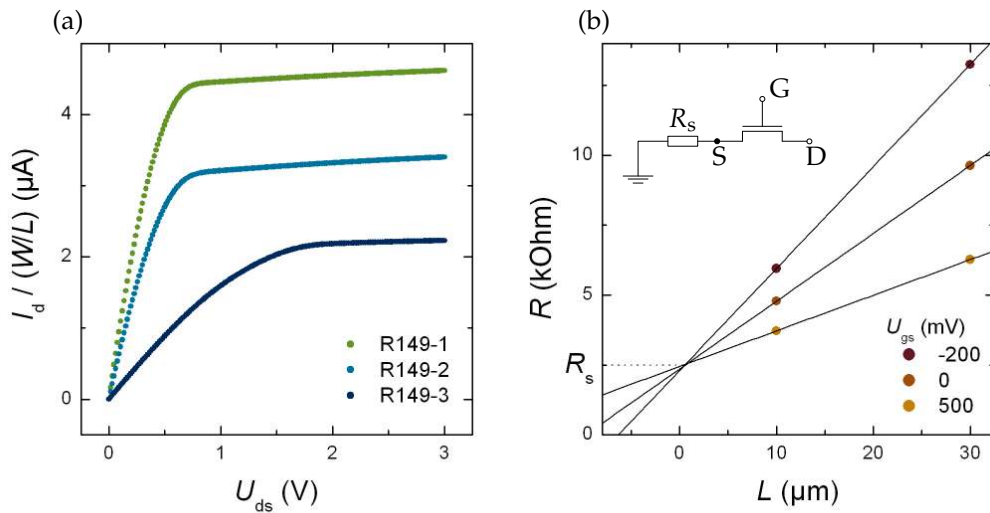


Abbildung 54

Darstellungen von Messdaten von Typ-1-FETs. (a) Auf das Aspektverhältnis (Gatebreite W zu Gatelänge L) normierte Kennlinien dreier FETs für $U_{gs} = 0 \text{ V}$. (b) Zur graphischen Ermittlung des parasitären Widerstands R_s (Schaltskizze siehe Inset) der FETs R149-1 und R149-2. Dieser Widerstand kommt unter anderem durch den Source-seitigen Teil der $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche zustande, der nicht vom Gate bedeckt ist. Die FETs besitzen unterschiedliche Gate-Längen L bei sonst identischem Aufbau. Die Werte für $R = 10 \text{ mV}/I_{ds}$ wurden bei jeweils drei verschiedenen Gatespannungen gemessen. Der Kanalwiderstand (ohne R_s) der FETs skaliert praktisch mit L . Der Schnittpunkt der eingezeichneten Geraden gibt den parasitären Widerstand R_s , der in Serie zum Kanalwiderstand geschaltet ist. Nach [112].

Abbildung 55a stellt die Kennliniendaten des FETs R149-2 dar. Zur Bestimmung von U_t und β wird $(I_d)^{0,5}$ dargestellt [113]. Durch Extrapolation des in dieser Darstellung linearen Bereichs lässt sich $U_t = -0,73 \text{ V}$ bestimmen. Die Geradensteigung entspricht $(\beta/2)^{0,5}$. Aus der linearen Anpassung ergibt sich $\beta = 4,0 \cdot 10^{-4} \text{ A/V}^2$ und damit $\beta_{\square} = 1,3 \cdot 10^{-5} \text{ A/V}^2$. Im Bereich $U_{gs} > -200 \text{ mV}$ weicht der gemessene Kurvenverlauf vom linearen Verlauf ab. Dies liegt mitunter am Einfluss des parasitären Widerstands R_s . Dieser Einfluss nimmt mit steigendem Stromfluss zu. Im diesem Spannungsbereich beträgt der berechnete, parasitäre Spannungsabfall $U_s \approx 90 \text{ mV}$. Im Bereich $U_{gs} < -600 \text{ mV}$ weicht der gemessene Kurvenverlauf ebenfalls vom linearen Verlauf ab. Dieses Verhalten wird auch bei MOSFETs beobachtet und liegt daran, dass die Formel 14 die Eigenschaften idealisierter FETs in diesem Bereich nicht korrekt beschreibt [112]. In diesem Bereich befindet sich ein MOSFET im Subthreshold-Bereich, also der Bereich schwacher Inversion (siehe Kapitel 1).

An weiteren FETs konnten ähnliche Werte für $\beta_{\square}$ und U_t bestimmt werden, wobei große Streuungen vor allem in den Verstärkungsfaktoren $\beta_{\square}$ auftraten (weiteres Beispiel R134-1: $U_t = -0,71 \text{ V}$ und $\beta_{\square} = 3,8 \cdot 10^{-5} \text{ A/V}^2$). Die in dieser Arbeit bestimmten Schwellspannungen fielen insgesamt betragsmäßig etwas höher aus als die von B. Förg publizierten Werte [72, 71]. Da die elektronischen Eigenschaften an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen auch ohne Gate einer gewissen Streuung unterworfen sind, sind Unterschiede zwischen Schwellspannungen von wenigen 100 mV erklärbar.

Der Subthreshold-Bereich eines FETs wird charakterisiert durch den Subthreshold-Swing S (siehe Kapitel 1). Zur Bestimmung von S sind in Abbildung 55b die Kennlinien $I_d(U_{gs})$ des FETs R149-2 für verschiedene U_{ds} auf halb-logarithmischer Skala dargestellt. Die Darstellung zeigt noch einmal, dass sich der Kanalstrom dieser FETs für Gatespannungen um $-0,7 \text{ V}$ herum über vier Größenordnungen verändert. Aus diesen Daten lassen sich die minimalen Werte für S bestimmen, entsprechend die maximalen Steigungen der Messkurven. Überlicherweise wird dazu in halb-logarithmischer Darstellung manuell der Bereich der größten Steigung gesucht. Alternativ dazu kann S aus den Messdaten berechnet werden. Dazu wurde der dekadische Logarithmus des Zahlenwerts von I_d berechnet. Die Ableitung davon liefert $1/S$. Abbildung 55c zeigt Werte für S , die aus den Kennlinien (Abbildung 55b) berechnet wurden. Die Verläufe zeigen Minima. Der kleinste Wert beträgt $S = 70 \text{ mV/dec}$ für $U_{ds} \approx -750 \text{ mV}$. Wichtig ist hierbei, dass die gezeigten Werte für S lokale Werte bei der jeweiligen Spannung U_{gs} darstellen.

Transistoren vom Typ 1 zeigen nach Abbildung 53 sehr gute Transistoreigenschaften. Das Dielektrikum (9EZ LaAlO_3) dieser Transistoren verhindert große Leckströme. Abbildung 56a zeigt die gemessene Leckstromdichte eines FETs. Für positive Spannungen bis zu $U_{gs} = 1 \text{ V}$ beträgt die Stromdichte weniger als $0,1 \text{ A/cm}^2$. Negative Gatespannungen erzeugen noch geringere Leckströme, da die Grenzfläche hier isolierend wird. Elektronen finden dann praktisch keine freien Zustände mehr, in die sie tunneln können.

Ein weitere charakteristische Größe von FETs ist ihr Ausgangswiderstand bei konstanter Gatespannung R_{out} . Abbildung 56b stellt R_{out} bei verschiedenen Gatespannungen dar.

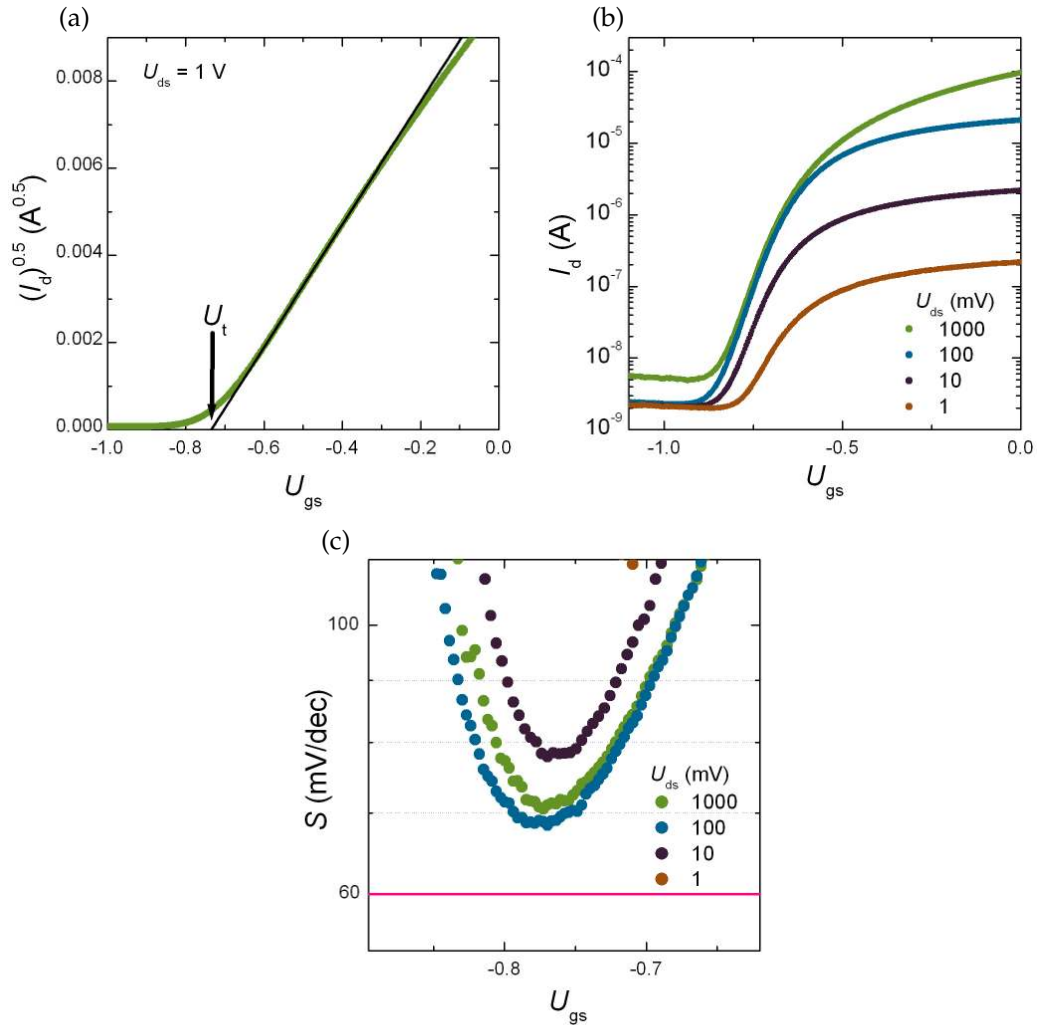


Abbildung 55

Messdaten des FETs R149-2. (a) Darstellung von Kennliniendaten zur Bestimmung von β und U_t . Aufgetragen ist $(I_d)^{0.5}$ über U_{gs} für $U_{ds} = 1$ V. Der eingezeichnete Geradenfit definiert an seinem Schnittpunkt mit der x -Achse $U_t = -0,73$ V. Die Steigung beträgt $(\beta/2)^{0.5}$. (b) Darstellung der in (a) gezeigten Messdaten sowie weiterer für unterschiedliche U_{ds} . Um -800 mV herum ändert sich I_d sehr stark. Für Spannungen um $U_{gs} = -1$ V tritt eine negative Steigung auf. Hier gleicht I_d betragsmäßig dem gemessenen Gatestrom I_g , der sich aus zwei Anteilen zusammensetzt: ein Beitrag, der zwischen Source und Gate fließt, und ein Beitrag, der zwischen Drain und Gate fließt. Letzteres addiert sich zu I_d (vergleiche Abbildung 52). (c) Werte für S , die aus einem Ausschnitt der Daten in (b) berechnet wurden. S hängt deutlich von U_{gs} ab.

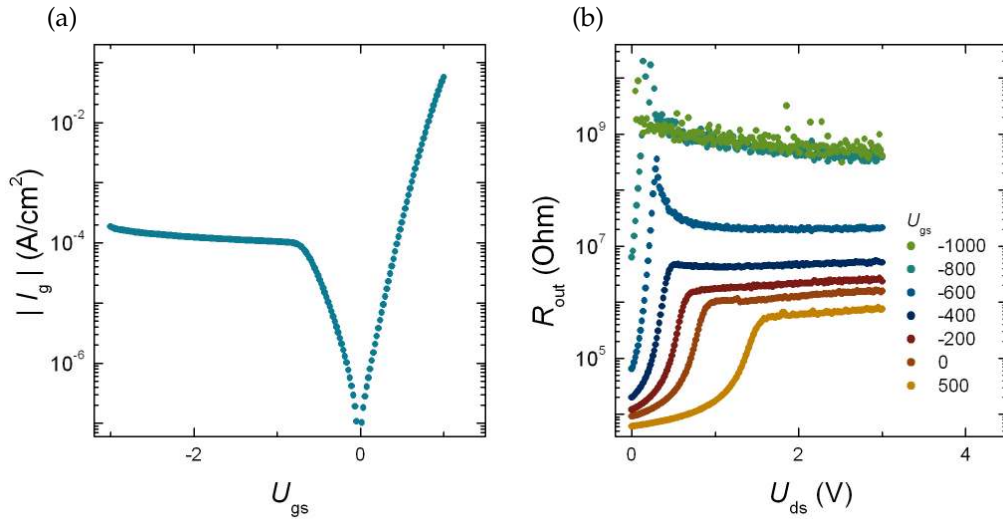


Abbildung 56

(a) Leckstromdichte $I_{gs}(U_{gs})$ des FETs R149-1. Für positive Spannungen fällt der Strom durch das Dielektrikum gering aus. Auch bei $U_{gs} = 1 \text{ V}$ beträgt der Leckstrom $< 0,1 \text{ A/cm}^2$. Im negativen Spannungsbereich fließt noch weniger Strom als im positiven Ast. Da der Kanal im negativen Spannungsbereich isolierend wird, wird der Stromfluss zwischen Gate und Kanal unterdrückt. (b) Aus $I_d(U_{ds})$ bestimmter Ausgangswiderstand bei unterschiedlichen Gatespannungen des FETs R149-1. Beim Übergang in den Sättigungsbereich steigt R_{out} für alle Gatespannungen stark an, divergiert jedoch nicht, wie es dagegen bei der Beschreibung idealisierter FETs der Fall ist.

Bei konstanter Gatespannung nimmt R_{out} mit wachsender Kanalspannung zu, bis die Sättigungsspannung erreicht ist. Im Gegensatz zur Beschreibung des Verhaltens idealisierter FETs bleibt R_{out} endlich. Bei negativen Gatespannungen beträgt $R_{out} = 10^9 \text{ Ohm}$. Innerhalb des hier betrachteten Gatespannungsbereichs kann R_{out} über mehr als 6 Größenordnungen gesteuert werden.

Als letztes werden die Ergebnisse der kapazitiven Messungen an Typ-1-FETs dargestellt. Mit einem LCR-Meter (Modell HP 4284A, Messmethode siehe Anhang) wurden Impedanzmessungen zwischen Source und Gate bei unterschiedlichen U_{gs} durchgeführt. So bestimmte $C_{gs}(U_{gs})$ -Verläufe sind in Abbildung 57 dargestellt. Gemessen wurde die Impedanz bei $f = 1 \text{ kHz}$ und $A_{ac} = 10 \text{ mV}$. Unter Verwendung des Modells einer Parallelschaltung aus Widerstand und Kapazität wurden die Kapazitäten berechnet. Die gemessenen Impedanzen ergaben auch bei niedrigeren Frequenzen (bis 20 Hz) fast identische Werte zu den bei $f = 1 \text{ kHz}$ bestimmten Werten. Für $f \gg 1 \text{ kHz}$ führten die Impedanzmessungen an ähnlichen oder vergleichbaren $\text{LaAlO}_3/\text{SrTiO}_3$ -Kapazitäten wegen ohmscher Verluste im Kanal allgemein zu kleineren berechneten Kapazitäten (siehe auch [114, 66]). Alle hier gemessenen Werte zeigen näherungsweise konstante Kapazitäten der FETs für $U_{gs} > -0,7 \text{ V}$. In der Umgebung von U_t ändern sich die Kapazitäten stark und fallen auf Werte unterhalb 10 pF ab. Die flächenbezogenen Kapazitäten dieser FETs vom Typ 1 betragen im leitenden Zustand durchschnittlich $4 \cdot 10^{-6} \text{ F/cm}^2$.

Durch Integration der Kapazität über den Spannungsbereich von U_{gs} lässt sich die in

FET	$n_{\square}$ (10^{13}cm^{-2})	C_{gs}/A ($10^{-6}\text{F}/\text{cm}^2$)	$\mu = \beta_{\square}/C_{\text{gs}}$ ($\text{cm}^2/(\text{Vs})$)
R149-3	2,0	4,1	3,2
R149-1	1,8	4,3	3,1
R149-2	1,7	4,2	3,2
R149-4	2,0	4,7	nicht bestimmt

Tabelle 4

Übersicht über Fläche, berechneter Ladungsträgerdichte, Kapazität pro Fläche und Mobilität von Typ-1-FETs. n wurde durch Integration der $C_{\text{gs}}(U_{\text{gs}})$ -Kurven berechnet. Die Mobilitäten μ ergeben sich aus $\beta_{\square} = \mu \cdot C_{\text{gs}}/A$, wobei das vorher erhaltene $\beta_{\text{s}} = 1,3 \cdot 10^{-4} \text{ A/V}^2$ verwendet wurde.

diesem Spannungsbereich entnommene bzw. hinzugefügte Ladungsmenge bestimmen. Die Integration

$$\Delta n \approx \int_{0V}^{U_t} C_{\text{gs}}(U_{\text{gs}}) dU_{\text{gs}} \quad (16)$$

liefert die bis zum Metall-Isolator-Übergang entnommene Ladungsmenge. Dividiert man Δn durch die Gatefläche, ergibt sich die Ladungsträgerdichte der Grenzfläche. Tabelle 4 listet die Werte der Ladungsträgerdichten, die aus den gemessenen Kapazitätsverläufen berechnet wurden, unterschiedlicher Transistoren auf. Die Integration wurde bis zu den Werten von U_{gs} durchgeführt, bei denen sich C_{gs} um mindestens zwei Größenordnungen verringert hat. In der Tabelle sind außerdem die entsprechenden Flächenkapazitäten aufgelistet. Aus $\beta_{\square}$ und der Flächenkapazität wurde zudem Mobilität bestimmt.

Die bestimmten Ladungsträgerdichten liegen innerhalb der Wertebereiche, die üblicherweise in Hall-Messungen an $\text{LaAlO}_3/\text{SrTiO}_3$ -Systemen dieser Art bestimmt werden. Die Flächenkapazitäten der Transistoren fallen etwas kleiner aus, als man es unter Annahme der Geometrie eines Plattenkondensators erwarten würde. Die geometrische Kapazität ergibt sich mit $\epsilon_{\text{LAO}} = 24$ (ein Beispielwert für dicke Filme guter kristalliner Qualität [115]) zu circa $6,2 \cdot 10^{-6} \text{ F}/\text{cm}^2$ bei einer Schichtdicke von 9 Einheitszellen. Berechnet man mit Hilfe der Formel des idealen Plattenkondensators die relative Dielektrizitätskonstante des LaAlO_3 -Films aus den Messdaten, so ergeben sich Werte von etwa 16. Ähnliche Werte ergaben sich durch Kapazitätsmessungen an vergleichbaren Strukturen, die von L. Li *et al.* veröffentlicht wurden [66]. Die von L. Li *et al.* untersuchten Proben wurden ebenfalls in Augsburg hergestellt. Ihr Schichtaufbau ist fast identisch zum Aufbau der Typ 1 Transistoren. Die LaAlO_3 -Schichtdicken betrugen 10 und 12 Einheitszellen. Kapazitätsmessungen wurden mit einer Messbrücke durchgeführt. Die flächenbezogenen Kapazitätswerte im leitenden Zustand der Grenzflächen fallen trotz der unterschiedlichen Messmethode fast gleich aus. Auch die Ladungsträgerdichten, die sich aus Integration der $C(U)$ -Kurven ergeben, liegen im unteren Bereich von 10^{13}cm^{-2} .

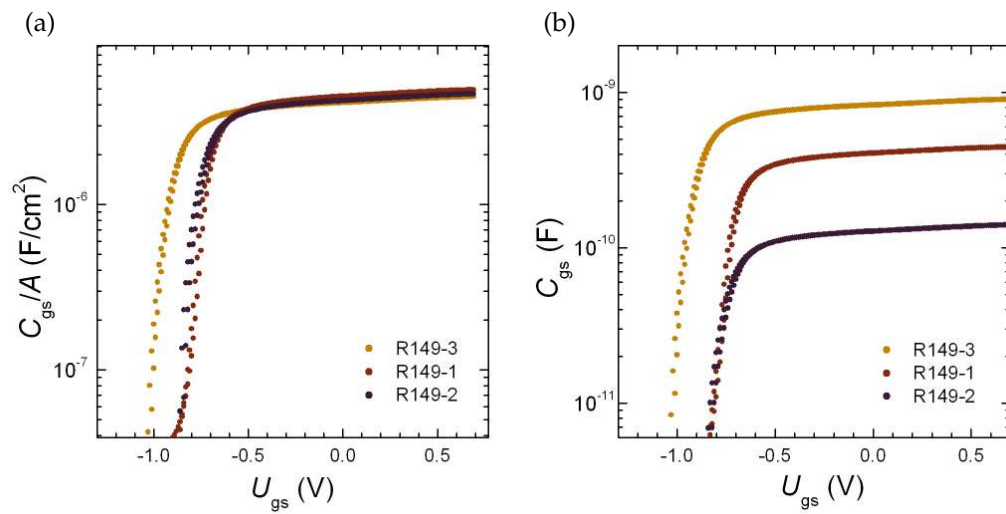


Abbildung 57

(a) An Typ-1-FETs bestimmte Gatekapazitäten $C_{gs}(U_{gs})$ für $U_{ds} = 0$ V. Es werden Hin- und Rücklauf von U_{gs} dargestellt. Die Werte wurden durch eine Impedanzmessung bei $f = 1$ kHz und $A_{ac} = 10$ mV bestimmt. Für kleine U_{gs} skaliert C_{gs} mit der Fläche. In der Umgebung von U_t zeigen die Verläufe einen starken Kapazitätsabfall. (b) Absolute Kapazitätswerte.

5.2 Feld-Effekt Transistoren vom Typ 2

Analog zu den Transistoren des Typs 1 werden nun die Kenngrößen der Transistoren vom Typ 2 (Gate: Au, Dielektrikum: BaTiO₃ und LaAlO₃), die mittels optischer Photolithographie hergestellt wurden, dargestellt und analysiert. Abbildung 58 stellt exemplarisch eine Schar gemessener Kennlinien sowohl linear als auch semilogarithmisch dar. Außerdem werden der Ausgangswiderstand sowie die Leckstromdichte durch das Dielektrikum präsentiert.

Mit Gatespannungen zwischen -3 V und 1 V lassen sich die Kanalströme der Typ-2-FETs um bis zu 7 Größenordnungen variieren (Abbildungen 58a und b). Die Steigung im Sättigungsbereich fällt auch bei Transistoren vom Typ 2 gering aus. Dies wird deutlich bei der Auswertung des Ausgangswiderstands R_{out} (Abbildung 58c). Im Sättigungsbereich treten Werte von mehreren 10^5 Ohm auf. Mit negativen Gatespannungen steigt R_{out} um 3 weitere Größenordnungen an.

Gateströme der Typ-2-Transistoren sind sehr klein (Abbildung 58d). Der negative Spannungsbereich weist bis zu Spannungen von $U_{\text{gs}} = -3$ V Stromdichten von weniger als 10^{-6} A/cm² auf. Im positiven Spannungsbereich bleibt der Gatestrom unter 10^{-2} A/cm².

Bei unterschiedlichen FETs vom Typ 2 und auf unterschiedlichen Proben trat eine Streuung in den gemessenen Kenndaten auf. Abbildung 59a zeigt Kennlinienverläufe bei negativen Gatespannungen und konstanten Drain-Source-Spannungen. Analog zur Bestimmung von $\beta_{\square}$ und U_t der Typ-1-FETs wurden diese Werte für die Typ-2-FETs bestimmt. Aufgetragen ist in Abbildung 59a also erneut $(I_d)^{0,5}$. Mittels linearer Anpassung und Extrapolation lassen sich die Verstärkungsfaktoren $\beta_{\square}$ und U_t bestimmen. Typische Werte sind in Tabelle 5 dargestellt. Die Schwellspannungen, die sich aus den in Abbildung 59a gezeigten Daten bestimmen lassen, liegen zwischen -1,5 V und -1,8 V. Manche der untersuchten FETs zeigten Schwellspannungen von bis zu -2,0 V.

Zur Analyse der Kennlinien im Subthreshold-Bereich sind in Abbildung 59b $I_d(U_{\text{gs}})$ -Kurven mit halb-logarithmischer Skala dargestellt. Bei konstanter Spannung U_{ds} verändert sich I_d um 8 Größenordnungen. Sehr deutlich fallen auch in dieser Grafik die unterschiedlichen Schwellspannungen auf. Bei den drei dargestellten Transistoren lässt sich I_d auf unter 10^{-10} A reduzieren.

Aus den in Abbildung 59b dargestellten Verläufen lässt sich jeweils S bestimmen. Die Werte wurden nach dem gleichen Verfahren berechnet, das auch zu Bestimmung von S der Typ-1-FETs verwendet wurde. Die berechneten Werte sind in Abbildung 59c dargestellt. Alle drei FETs zeigen minimale Werte für S zwischen 70 mV/dec und 60 mV/dec.

$C_{\text{gs}}(U_{\text{gs}})$ der Typ-2-FETs wurde durch Impedanzmessungen bestimmt. Solche $C_{\text{gs}}(U_{\text{gs}})$ -Verläufe sind in Abbildung 60a dargestellt. Zur besseren Vergleichbarkeit wurden die Kapazitätswerte auf die Gatefläche normiert. Die Kapazitätsänderungen bei negativen Gatespannungen betragen etwa zwei Größenordnungen, treten aber bei unterschiedlich großen Spannungen U_{gs} auf. Zudem sehen die Verläufe qualitativ unterschiedlich aus.

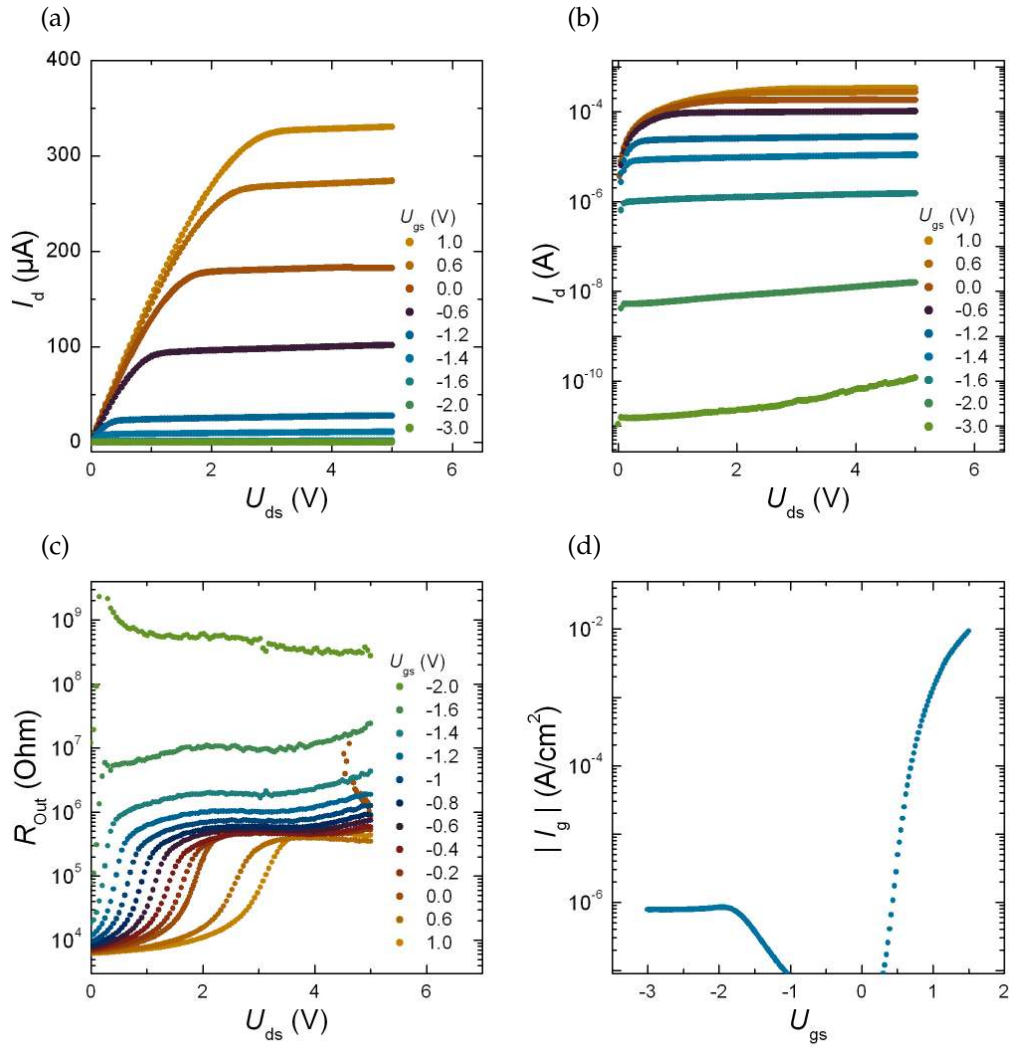


Abbildung 58

Darstellung von Messdaten der Transistoren R144-2 (a bis c) und R144-1 (d). (a) $I_d(U_{ds})$ bei konstanten Gatespannungen. (b) Halblogarithmische Darstellung derselben Daten. Die Kanalströme ändern sich über 7 Größenordnungen. (c) Ausgangswiderstände, berechnet aus den Daten aus (a). (d) Gatestromdichte in Abhängigkeit der Gatespannung.

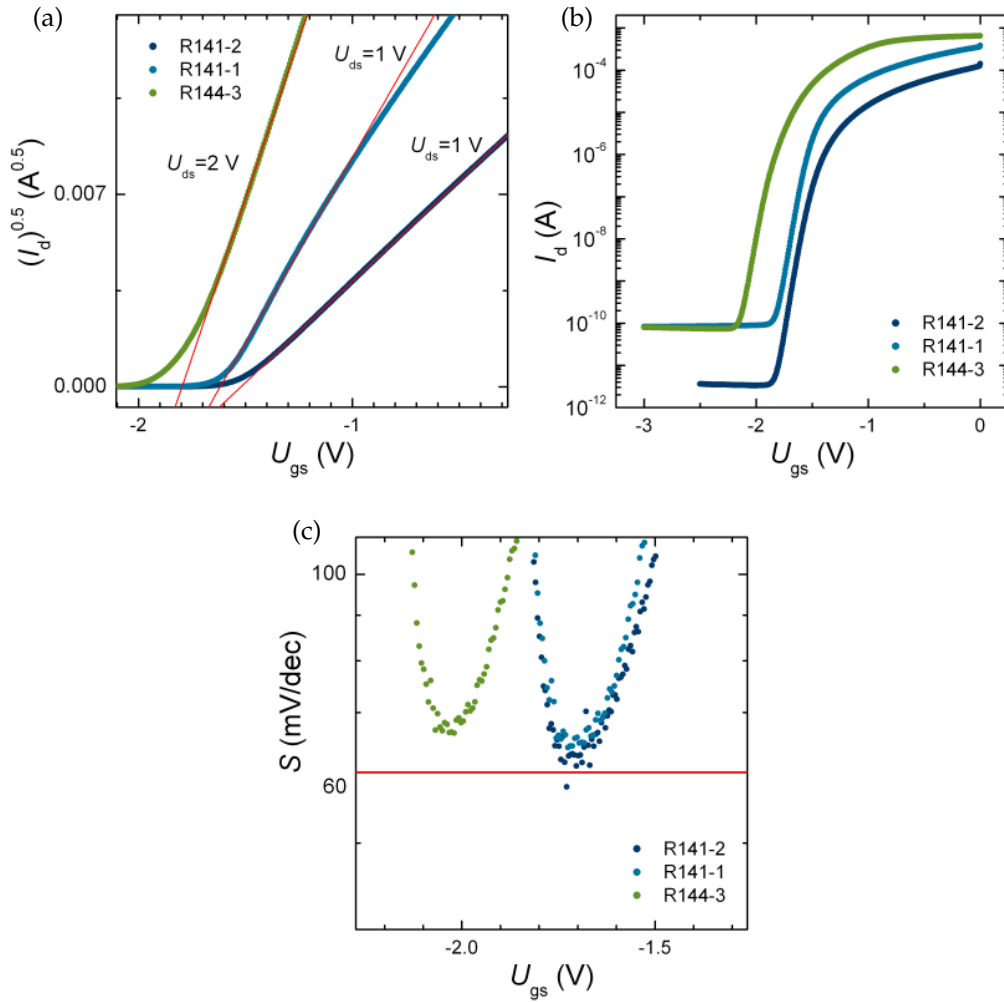


Abbildung 59

Kennlinien unterschiedlicher Transistoren vom Typ 2. (a) Darstellung von $(I_d)^{0.5}$ zur Bestimmung von β und U_t . Die eingezeichneten Geraden sind lineare Anpassungen an die Kennlinien. (b) Darstellung der Kennliniendaten auf halblogarithmischer Skala. I_d fällt bei allen FETs sehr stark ab. Der größte Sprung beträgt fast 8 Größenordnungen. (c) Aus einem Ausschnitt von (b) berechnete Werte für S bei verschiedenen U_{gs} .

Probenname	$\beta_{\square} (10^{-5} \text{ A/V}^2)$	U_t
R132-1	2,3	-1,6
R144-1	1,6	-1,5
R144-2	1,7	-1,7
R144-3	0,7	-1,8
R141-2	2,2	-1,5
R141-1	3,7	-1,6

Tabelle 5

Verstärkungsfaktoren $\beta_{\square}$ und U_t von FETs des Typs 2. Die Werte wurden aus der anfangs beschriebenen Methode der Extrapolation bestimmt.

Dies deutet auf einen inhomogenen Übergang der Grenzfläche zwischen leitendem und isolierenden Zustand hin. Die Restkapazitäten betragen weniger als 10 pF.

In den $C_{gs}(U_{gs})$ -Charakteristiken traten vereinzelt deutlich ausgeprägte Hysteresen auf. Abbildung 60b stellt den Hin- und Rücklauf einer in Abbildung 60a gezeigten $C_{gs}(U_{gs})$ -Charakteristik dar. In einem Teil der Messung ist der Hin- und Rücklauf der Datenpunkte um circa 200 mV verschoben. Diese Verschiebung des Kapazitätssprungs ist möglicherweise auf die Aufladung von Defektzuständen zurückzuführen. Das BaTiO₃-Dielektrikum besitzt Stufenversetzungen, wie aus den STEM-Aufnahmen von J. Mundy hervor geht (siehe Abschnitt 3.4). Derartige Defekte können zusätzliche Zustände innerhalb der Bandlücke des Gate-Dielektrikums schaffen, die von Elektronen besetzt werden können. Solche negativen Ladungen wirken wie eine zusätzliche negative Gatespannung und beeinflussen so die Grenzflächeneigenschaften. Die typische Breite der Hysterese ist abhängig von den maximalen angelegten Spannungen, beträgt aber meist deutlich weniger als 200 mV.

Aus den bestimmten Kapazitätswerten lässt sich die Dielektrizitätskonstante der hergestellten BaTiO₃-Filme abschätzen. Betrachtet man die Schichtfolge als Serienschaltung zweier Kondensatoren mit je LaAlO₃- und BaTiO₃-Dielektrikum, so beträgt die Gesamtkapazität C_{ges} dieser Anordnung (ohne Berücksichtigung weiterer Effekte)

$$\frac{1}{C_{ges}} = \frac{1}{C_{LAO}} + \frac{1}{C_{BTO}}.$$

Unter Verwendung der Formel des idealen Plattenkondensators und $\epsilon_{LAO} = 24$ ergibt sich für die hergestellten BaTiO₃-Filme mit einer Schichtdicke von 8 Einheitszellen eine Dielektrizitätskonstante von $\epsilon_{BTO} = 14$. Für FETs vom Typ 1 wurde $\epsilon_{LAO} = 16$ bestimmt. Mit diesem Wert ergibt sich $\epsilon_{BTO} = 18$. Dieser Wert ist deutlich kleiner als typische Literaturwerte von mehreren 100 [116].

Auch in $I_d(U_{ds})$ -Kennlinien traten unterschiedlich stark ausgeprägte Hysteresen auf. In Abbildung 61a ist eine Kennlinie dargestellt, die beim Zurücknehmen von U_{ds} geringere Ströme zeigt als beim Erhöhen der Spannung. Noch deutlicher trat dieser Effekt auf, nachdem U_{ds} auf bis zu 50 V erhöht wurde (Abbildung 61). Der untersuchte

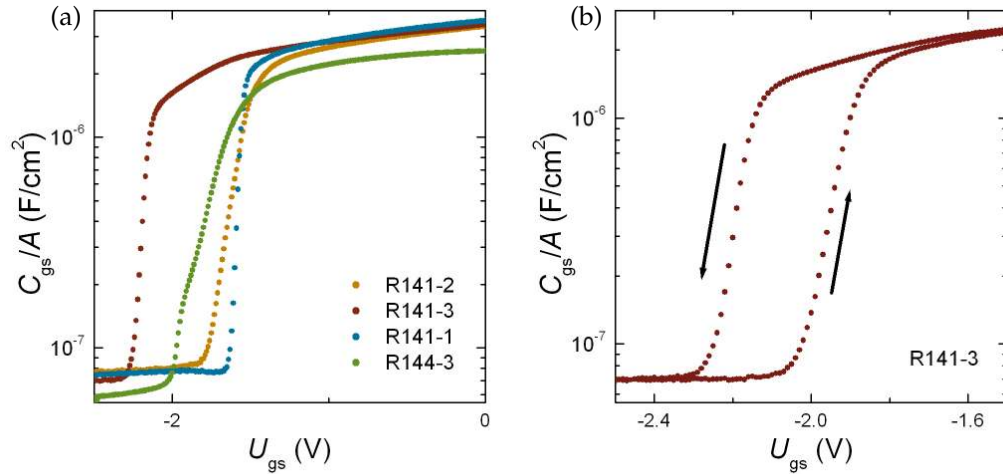


Abbildung 60

Aus Impedanzmessungen berechnete $C_{gs}(U_{gs})$ -Verläufe unterschiedlicher Transistoren vom Typ 2 ($U_{ds} = 0$ V). C_{gs} wurde auf die jeweilige Gatefläche normiert. (a) Die Werte bei $U_{gs} = 0$ V fallen bei allen FETs ungefähr gleich aus. Der Transistor R144-3 zeigt etwas geringere Werte als die übrigen FETs. Die Messung zeigt den Verlauf von $U_{gs} = 0$ V bis $U_{gs} = -2,5$ V. Der Kapazitätsabfall über zwei Größenordnungen setzt bei ungefähr -1,8 V ein und verläuft unterschiedlich steil. Eine Ausnahme zeigt der FET R141-3. Der Kapazitätsabfall setzt hier erst bei -2,2 V ein. Beim Zurücknehmen der negativen Gatespannung verschiebt sich der Anstieg um ca. 200 mV, wie in (b) dargestellt ist. Bei -1,6 V wird der ursprüngliche Kapazitätswert wieder angenommen. Integration des $C_{gs}(U_{gs})$ -Verlauf ergibt $n_{\square} = 3,6 \cdot 10^{13} \text{ cm}^{-2}$ für sinkende und $n_{\square} = 3,3 \cdot 10^{13} \text{ cm}^{-2}$ für steigende Gatespannung. Alle Restkapazitäten (bei $U_{gs} \approx -2,5$ V) betragen weniger als 10 pF.

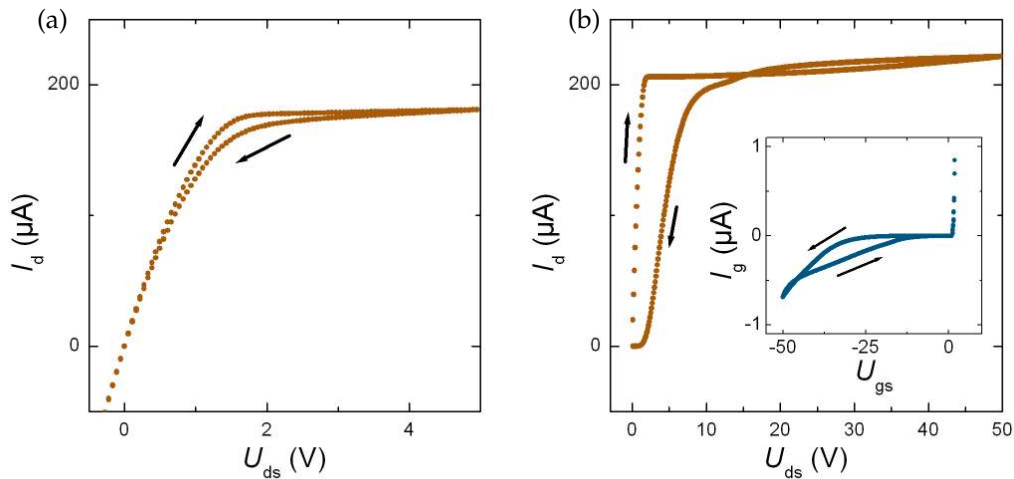


Abbildung 61

Hysteresen an Kennlinien des FETs R141-3 bei $U_{gs} = 0$ V. (a) Für U_{ds} bis 5 V. (b) Für U_{ds} bis 50 V. Die großen elektrischen Felder wirken sich stark auf die Charakteristik aus. Beim Zurücknehmen der Spannung wird der FET sogar isolierend. Inset: Gatestrom für U_{gs} bis -50 V.

FET bleibt bis zu dieser hohen Spannung in Sättigung, ohne dass es zu einem unerwartet großen Stromanstieg kommt. Beim Zurücknehmen der Spannung verändert sich der Kurvenverlauf der Kennlinie drastisch. Der Transistor wird jetzt sogar bei positiven Drain-Source-Spannungen isolierend. Im Inset ist der gemessene Gatestrom bis $U_{gs} = -50\text{ V}$ aufgetragen. Bei negativen Gatespannungen ($U_{gs} < U_t < 0\text{ V}$) wird die $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche isolierend. Source- und Gatekontakt sind dann durch eine laterale Distanz von mehreren μm getrennt. Eine angelegte Spannung von beispielsweise $U_{gs} = -50\text{ V}$ fällt dann also über einer isolierenden Schicht von mehreren μm dickem BaTiO_3 und LaAlO_3 ab. Mit diesem Mechanismus lässt sich die Spannungsstabilität der FETs erklären, vergleichbar mit der Erklärung der Spannungsstabilität von $\text{LaAlO}_3/\text{SrTiO}_3$ -basierten Dioden [117].

Die stark ausgeprägte Hysterese, die in Abbildung 61b dargestellt ist, lässt sich beispielsweise durch Aufladungen im Dielektrikum erklären. Nach Kapitel 1 treten im Sättigungsbereich von FETs sehr große elektrische Felder im Kanal auf. Elektronen können durch diese starken Felder sehr große kinetische Energien bekommen. Durch Stöße kann die kinetische Energie eines solchen Elektrons auch auf ein weiteres Elektron abgegeben werden. Bei genügend großer kinetischer Energie und Impuls in Richtung des Dielektrikums können Elektronen die Energielücke des Dielektrikums überwinden und gelangen so zum Beispiel zu Fehlstellen im Dielektrikum. Durch die negativ geladenen Fehlstellen verändern sich die FET-Charakteristik. Dieser Effekt wird auch als *hot-carrier degradation* bezeichnet [15].

Aus den gewonnenen Kapazitätsmessungen lassen sich die Ladungsträgerdichten der FETs vom Typ 2 bestimmen, analog zur Bestimmung der Ladungsträgerdichten der FETs vom Typ 1. Zum Vergleich wurden auf einer Probe mit FETs auch Hall-Stege der gleichen Schichtstruktur hergestellt, an denen die Hall-Ladungsträgerdichte bestimmt wurde. Es wurde je ein Hall-Steg mit und ohne Gold-Gate untersucht. Die Ladungsträgerdichten der FETs, die aus Hall-Messungen erhaltenen Ladungsträgerdichten sowie die entsprechenden Kapazitätswerte (für $U_{gs} = 0\text{ V}$) sind in Tabelle 6 aufgelistet. Die Hall-Messungen ergaben höhere Werte als die Werte der Kapazitätsmethode. Auffällig ist der Unterschied der Werte aus der jeweiligen Hall-Messung mit und ohne Gate. Aus den Kapazitätsmessungen lassen sich unter Verwendung des vorher bestimmten Verstärkungsfaktors $\beta_{\square}$ Werte für die Elektronenbeweglichkeiten (Mobilitäten) gewinnen. Die Zahlen sind ebenfalls in Tabelle 6 dargestellt. Zum Vergleich sind die Hall-Mobilitäten mit angegeben. Es treten Schwankungen auf, jedoch liegen die durchschnittlichen Mobilitäten in dem Bereich, der üblicherweise in Hall-Messungen an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen bestimmt wird. Natürlich unterliegt die Bestimmung einer gewissen Ungenauigkeit. Wird beispielsweise C_{gs} bei der Messung unterschätzt, erhöht sich μ . Außerdem zeigen die Hall-Messungen, dass die $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche durch die BaTiO_3 -Schicht in ihren Transporteigenschaften nicht stark beeinflusst wird. Dagegen scheint das Gold-Gate einen größeren Einfluss auf die Grenzflächeneigenschaften zu haben.

Bezeichnung	$n_{\square}$ ($10^{13}/\text{cm}^2$)	C_{gs}/A ($10^{-6}\text{ F}/\text{cm}^2$)	$\mu = \beta_{\square}/(C_{\text{gs}}/A)$ ($\text{cm}^2/(\text{Vs})$)
R144-2	4,1	5,8	2,9
R144-3	2,3	2,6	2,7
R141-1	2,9	3,6	10,42
R141-2	2,7	3,4	6,50
R144-H mit	3,7	-	5,07
R144-H ohne	6,2	-	6,35

Tabelle 6

Kenndaten von Transistoren des Typs 2. Die Gatefläche wird mit A bezeichnet. Die Ladungsträgerdichten wurden durch Integration von gemessenen $C_{\text{gs}}(U_{\text{gs}})$ -Verläufen berechnet. Ergänzend sind Ladungsträgerdichten aus Hall-Messungen aufgelistet. Die letzten beiden Zeilen geben die Werte an, die in Hall-Messungen bestimmt wurden. Es wurden die Ladungsträgerdichte je eines mit (Gold-) Gate bedeckten Teils und eines Teils ohne Gate bestimmt. Bei der Beweglichkeit handelt es sich um die Hall-Beweglichkeit.

Eigenschaften der mittels Elektronenstrahlolithographie hergestellten FETs (Typ 2)

Im diesem Abschnitt werden die Eigenschaften der FETs vom Typ 2, die mit Hilfe der Elektronenstrahlolithographie hergestellt wurden, dargestellt und analysiert. Mit dieser Lithographietechnik wurden kleinere Transistoren hergestellt als mit Hilfe der optischen Photolithographie. Abbildung 62 stellt unter anderem gemessene Kennlinien dar. Aufgetragen sind exemplarisch die Kennlinien der FETs CWO-1, CWO-2 und CWO-3. Das nominelle Aspektverhältnis aller drei FETs beträgt $W/L = 15$.

Die in Abbildung 62a gezeigten Daten (CWO-1) demonstrieren die gute Funktionalität dieses FETs. Mit einer Gatespannung von $-1,4\text{ V}$ lässt sich die Leitfähigkeit des Kanals stark verringern. Deutlich zu erkennen ist außerdem der Sättigungsbereich. Die Kennlinien des FETs CWO-2 sehen ähnlich aus (Abbildung 62b). Im Sättigungsbereich besitzt dieser FET eine größere Steigung als CWO-1. Besonders aber die Kennlinie des FETs CWO-3 zeigt eine deutliche Steigung im Sättigungsbereich, so dass er nicht mehr eindeutig vom linearen Bereich der Kennlinie unterschieden werden kann. Außerdem fällt auf, dass I_d von CWO-3 etwa eine Größenordnung kleiner ausfällt als für CWO-1 und CWO-2. Da das Aspektverhältnis aller drei FETs nominell gleich ist, würde man nach der Beschreibung idealisierter FETs (Kapitel 1) ebenso gleiche Sättigungsströme erwarten. Der Unterschied zwischen dieser Erwartung und den gemessenen Daten liegt in den parasitären Vorwiderständen (zum Beispiel der Source-seitige Widerstand R_s , vergleiche Seite 77, Abbildung 54). Parasitäre Vorwiderstände konnten herstellungsbedingt nicht im gleichen Maße skaliert werden wie die Gateflächen (siehe auch Seite 62, Abbildung 40c und d). Der Einfluss von R_s ist bei kleineren FETs also größer. Insbesondere der Gesamtwiderstand steigt mit sinkender Kanalbreite.

Wegen der relativ zum Bereich des Kanalstroms großen Steigungen der Kennlinien im Sättigungsbereich sind die Werte für die Schwellspannungen der kleineren FETs schwerer zu bestimmen als die der größeren FETs. U_t wurde jeweils nach dem gleichen Verfahren bestimmt, das bereits vorher zur Bestimmung von U_t verwendet wurde. Abbildung 62d zeigt die bestimmten Werte U_t in Abhängigkeit der Gatelänge für je $U_{ds} = 1\text{ V}$ und $U_{ds} = 0,5\text{ V}$. Die Wahl von U_{ds} beeinflusst das Ergebnis der Bestimmung von U_t , vor allem bei U_t des FETs der Länge $L = 200\text{ nm}$. Sowohl mit $U_{ds} = 1\text{ V}$ als auch mit $U_{ds} = 0,5\text{ V}$ kann eine Abnahme von U_t für $L = 200\text{ nm}$ festgestellt werden. Die übrigen Werte liegen zwischen $U_t = -1,5\text{ V}$ und $U_t = -1,7\text{ V}$. Dieser Bereich liegt insbesondere in dem Bereich, der auch für die FETs vom Typ 2, die mit optischer Photolithographie hergestellt wurden, erhalten wurde.

Aus den Daten der Kennlinien wurden außerdem die Verläufe von R_{out} und $I_g(U_{gs})$ bestimmt. Abbildung 63a zeigt R_{out} für $U_{gs} = 0\text{ V}$. R_{out} des größten FETs ändert sich sehr stark mit U_{gs} . R_{out} des mittleren FETs ändert sich nur um etwa eine Größenordnung. Der kleinste FET zeigt eine geringe Änderung von R_{out} und einen deutlich höheren Ausgangswert (bei $U_{ds} = 0\text{ V}$). Abbildung 63b zeigt die selben Daten, die aber auf den jeweiligen Ausgangswert normiert wurden. In dieser Darstellung folgen die Werte für $U_{ds} < 1\text{ V}$ einem fast identischen Verlauf. Für $U_{ds} > 1\text{ V}$ wird der Unterschied im R_{out} -Verlauf dieser FETs deutlich. Die FETs kleiner Gatelängen zeigen also

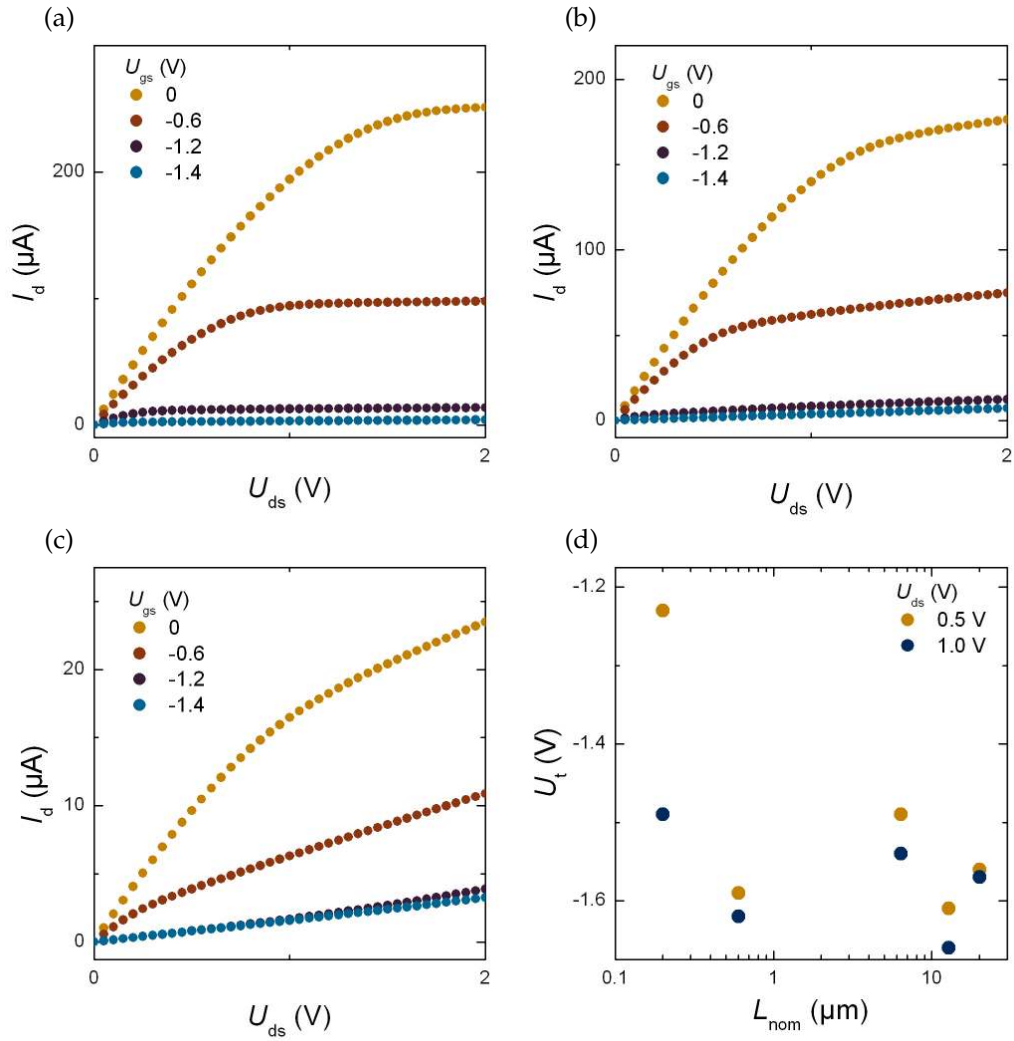


Abbildung 62

$I_d(U_{ds})$ -Charakteristiken für unterschiedliche U_{gs} und verschiedene Gatelängen. Das nominelle Seitenverhältnis W/L ist für alle gemessenen Transistoren gleich 15. Nominelle Gatelängen: (a) $20 \mu\text{m}$ (CWO-1), (b) $6,4 \mu\text{m}$ (CWO-2) und (c) 200 nm (CWO-3). (d) Abhängigkeit von U_t von der nominellen Gatelänge. Messdaten der Kennlinien von C. Woltmann, MPI Stuttgart.

Transistor-Funktionalität, jedoch mit geringerer Güte gemessen mittels der Änderung des Ausgangswiderstands.

Die Leckstromdichten dieser FETs (Abbildungen 63c und d) sind fast alle etwas kleiner als die Leckströme der FETs, die mit optischer Photolithographie hergestellt wurden (vergleiche Abbildung 58d). Jedoch steigt mit sinkender Kanallänge die Leckstromdichte deutlich an. Dabei muss berücksichtigt werden, dass die Werte aus den nominellen Gateflächen berechnet wurden, die nicht exakt den tatsächlichen Werten entsprechen müssen.

Die vorher dargestellten Messungen zeigen, dass Typ-2-FETs auch mit Hilfe der Elektronenstrahlolithographie hergestellt werden können und dass diese funktionieren. Bei kleinen Größen ($L \leq 1 \mu\text{m}$) nehmen Leckströme stark zu. Die Bestimmung von U_t der FETs unterschiedlicher Gategrößen bzw. -größen ergab eine Reduktion von U_t beim kleinsten FET ($L = 200 \text{ nm}$). Die Steigung der Kennlinien bei vergleichsweise kleinen Strömen erschwert die Bestimmung von U_t mit der vorher mehrfach angewendeten Methode.

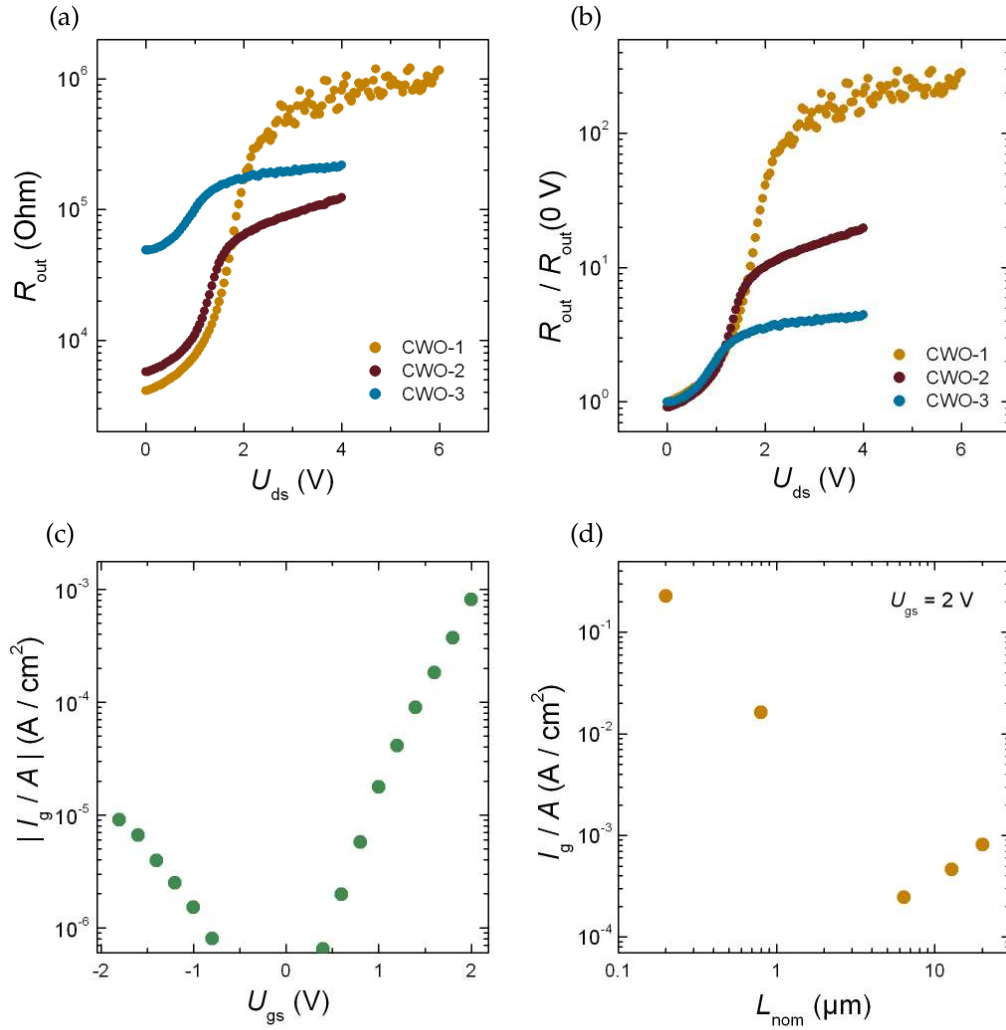


Abbildung 63

Messdaten von FETs vom Typ 2, die mittels Elektronenstrahlithographie strukturiert wurden. (a) Verläufe der Ausgangswiderstände R_{out} dreier FETs unterschiedlicher Gatelängen bei $U_{\text{gs}} = 0 \text{ V}$. (b) Auf den jeweiligen Anfangswert ($R_{\text{out}}(0 \text{ V})$) normierte Ausgangswiderstände. (c) Leckstromdichte $I_g(U_{\text{gs}})/A$ für $U_{\text{ds}} = 0 \text{ V}$ des FETs CWO-1. (d) $I_g(U_{\text{gs}})/A$ unterschiedlich großer FETs (CWO-1, CWO-2, CWO-3 und zwei weitere FETs, deren Daten lediglich in dieser Grafik erscheinen) in Abhängigkeit ihrer Gatelängen ($W/L = 15$) bei $U_{\text{gs}} = 2 \text{ V}$. Messdaten von C. Woltmann, MPI Stuttgart.

5.3 Vergleich beider Transistortypen

Beide untersuchten Transistortypen zeigen sehr gute Transistor-Funktionalität. Die Kennlinien beider Typen lassen sich in einigen Bereichen gut durch die Formeln idealisierter Feld-Effekt-Transistoren beschreiben. Die Kanalwiderstände von Typ-1-Transistoren lassen sich über 4 Größenordnung steuern. Die dabei auftretenden Leckstromdichten sind gering und im leitenden Zustand insbesondere deutlich kleiner als die durchschnittlichen Kanalströme. Sehr gutes Schaltverhalten zeigen auch Transistoren vom Typ 2. Bei diesen FETs lässt sich der Kanalstrom über 8 Größenordnungen steuern. Die Leckstromdichten dieses Transistortyps sind geringer als die Leckstromdichten der Typ-1-Transistoren. Typ-2-Transistoren, die mit Hilfe der Elektronenstrahlolithographie hergestellt wurden, zeigen ebenfalls FET-Funktionalität. Mit sinkender FET-Größe nehmen bei diesen FETs Leckströme zu. Im folgenden Abschnitt sind mit Typ-2-FETs nur noch diejenigen gemeint, die mit optischer Photolithographie hergestellt wurden.

Die Gatestromdichten der Typ-1- und Typ-2-FETs fallen relativ klein aus im Vergleich zu Gatestromdichten konventioneller Si-MOSFETs. Abbildung 64 zeigt gemessene und berechnete Tunnelstromdichten für SiO₂-Dielektrika unterschiedlicher Dicke. Die Grafik wurde von Y. Taur *et al.* [16] übernommen und um zwei Punkte erweitert. Aus den bestimmten Flächenkapazitäten $C_{gs}(0\text{ V})/A$ können - bezogen auf die Kapazitäten - unter Verwendung von $\epsilon_{\text{SiO}_2} = 3,9$ [118] äquivalente Oxidschichtdicken berechnet werden. Für die untersuchten oxidischen Transistoren errechnen sich äquivalente Oxiddicken von 0,8 nm (Typ 1) und 1,2 nm (Typ 2). Leckströme von SiO₂-basierten FETs, die mit den Leckströmen der hier untersuchten oxidischen Transistoren vergleichbar sind, würden nach Abbildung 64 eine SiO₂-Dicke von 2,0 nm (Typ 1) und 2,2 nm (Typ 2) erfordern. Dieser einfache Vergleich berücksichtigt nicht die unterschiedlich großen Bandlücken von LaAlO₃ (5,6 eV, siehe Kapitel 2.1) und SiO₂ (9 eV [118]).

Die gemessenen Ladungsträgerdichten der FETs vom Typ 1 ($n_{\square} \approx 1,5 \cdot 10^{13} \text{ cm}^{-2}$ bis $2 \cdot 10^{13} \text{ cm}^{-2}$) fallen etwas geringer aus als die Ladungsträgerdichten der FETs vom Typ 2 ($n_{\square} \approx 2 \cdot 10^{13} \text{ cm}^{-2}$ bis $4 \cdot 10^{13} \text{ cm}^{-2}$). Beide Wertebereiche liegen im Rahmen der Werte, die üblicherweise an LaAlO₃/SrTiO₃-Grenzflächen bestimmt werden. Auch die Beweglichkeiten der Typ-1-FETs sind etwas kleiner als die Beweglichkeiten Typ-2-FETs. Die Beweglichkeiten an LaAlO₃/SrTiO₃-Strukturen mit gleichem Aufbau wie die Typ-1-Transistoren wurde auch in der Masterarbeit von B. Förg bestimmt. Seine Werte fallen mit $\mu = 1 \text{ cm}^2/\text{Vs}$ im Sättigungsbereich für $T = 20^\circ\text{C}$ etwas kleiner aus. Allerdings wurde die zu deren Bestimmung nötige Kapazität durch die Kapazität eines Plattenkondensators mit $\epsilon_{\text{LAO}} = 25$ abgeschätzt.

Verglichen mit Beweglichkeiten, die in durchschnittlichen MOSFETs erreicht werden, sind die Beweglichkeiten, die an den oxidischen FETs bestimmt wurden, klein. Halbleiter-FETs besitzen – abhängig vom Grad der Dotierung und vom elektrischen Feld – Beweglichkeiten von bis zu einigen $100 \text{ cm}^2/(\text{Vs})$ [7, 13]. Modulationsdotierten Strukturen wie HEMTs besitzen bei tiefen Temperaturen ($T < 10 \text{ K}$) Werte, die in der Größenordnung $10^6 \text{ cm}^2/(\text{Vs})$ liegen [7]. Die Grenzflächen der oxidischen FETs zeigen deutlich geringere

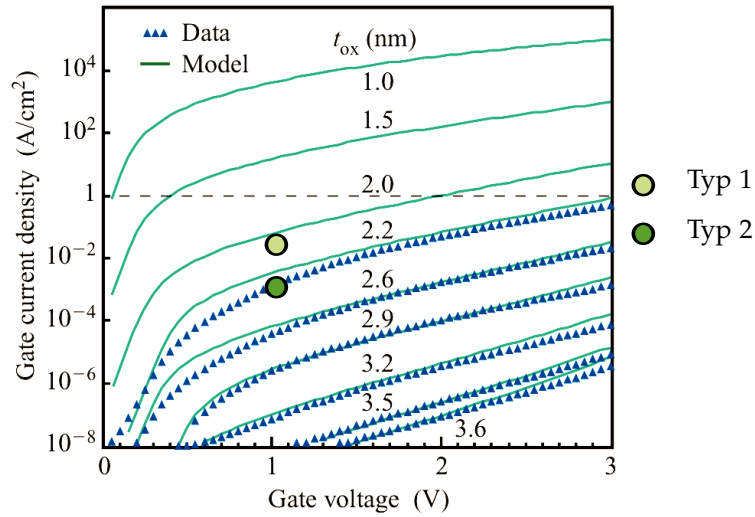


Abbildung 64

Gemessene und berechnete Tunnelstromdichten durch dünnes SiO₂ (Dicke t_{ox}). Zum Vergleich wurden die Werte der Leckstromdichten beider untersuchter Transistortypen exemplarisch bei $U_{\text{gs}} = 1 \text{ V}$ markiert. Die äquivalente Oxiddicke (gemessen an der Kapazität) für Typ-1-Transistoren beträgt mit $\epsilon_{\text{SiO}_2} = 3,9$ [118] $0,8 \text{ nm}$. Für Typ-2-Transistoren ergibt sich etwa $1,2 \text{ nm}$. Grafik aus [16].

Beweglichkeiten. Teilweise ausgeglichen wird dies durch die großen Ladungsträgerdichten, die in Oxiden kontrolliert werden können. Die größten Ladungsträgerdichten bzw. deren Änderung, die mit SiO₂-Dielektrika erreicht werden können, lassen sich abschätzen zu $2 \cdot 10^{13} \text{ cm}^{-2}$ [45]. (mit der für SiO₂ maximalen Feldstärke von 10 MVcm^{-1} und $\epsilon_{\text{SiO}_2} = 3,9$) Mit Oxiden wie zum Beispiel SrTiO₃ oder Ferroelektrika lassen sich dagegen Polarisierungen von bisher bis zu 10^{14} cm^{-2} erreichen [46].

Bei den untersuchten oxidischen FETs und ebenso bei Halbleiter-FETs werden Source und Drain im leitenden Zustand durch einen leitfähigen Kanal verbunden. Im ausgeschalteten Zustand unterscheidet sich die Situation der beiden FET-Klassen. Oxidische FETs werden dann hochgradig isolierend, da Source und Drain jetzt durch mehrere μm SrTiO₃ bzw. LaAlO₃ mit einer Bandlücke von mehreren eV getrennt vorliegen.

Um dies in Zahlen zu fassen, muss eine sinnvolle Definition der Kanalströme im eingeschalteten Zustand (I_{on}) und im ausgeschalteten Zustand (I_{off}) festgelegt werden. Üblicherweise wird zu diesem Zweck der Kanalstrom I_d bei konstanter Kanalspannung U_{ds} betrachtet. Für eine bessere Vergleichbarkeit werden die Kanalströme auf die Kanalbreite normiert. Sowohl FETs vom Typ 1 als auch FETs vom Typ 2 leiten für $U_{\text{gs}} = 0 \text{ V}$. Mit negativen Gatespannungen lässt sich der Kanal isolierend schalten. Für Typ-1-FETs sind dazu circa $U_{\text{gs}} = -0,8 \text{ V}$ nötig, für Typ-2-FETs etwa $U_{\text{gs}} = -1,8 \text{ V}$. Diese Spannungen geben also den Spannungsbereich vor, innerhalb dessen die FETs sinnvollerweise betrieben werden könnten (siehe auch Seite 8 Abbildung 8). Tabelle 7 listet Beispielwerte für I_{on} und I_{off} der oxidischen FETs sowie ein Beispiel eines Silizium-basierten MOSFET mit HfO₂-Dielektrikum auf [119].

Innerhalb des vorher genannten Spannungsbereichs (als Maß für die Spannungsdiffe-

Tabelle 7

Tabelle mit Vergleichswerten von I_{on} und I_{off} unterschiedlicher FET-Typen.

Bezeichnung	U_{ds}	$I_{\text{on}} (U_{\text{gs}})$	$I_{\text{off}} (U_{\text{gs}})$
R149-2 (Typ 1)	1 V	0,3 $\mu\text{A}/\mu\text{m}$ (0 V)	0,03 nA/ μm (-0,8 V)
R141-2 (Typ 2)	2 V	1,4 $\mu\text{A}/\mu\text{m}$ (0 V)	$5 \cdot 10^{-5}$ nA/ μm (-1,8 V)
high- κ -MOSFET [119]	0,9 V	550 $\mu\text{A}/\mu\text{m}$ (0,9 V)	3 nA/ μm (0 V)

renz zwischen $U_{\text{gs,on}}$ und $U_{\text{gs,off}}$ wird üblicherweise U_{dd} angegeben) zeigen die oxidischen FETs An/Aus-Verhältnisse des Kanalstroms von 10^4 (Typ 1) und 10^8 (Typ 2). Die kleinsten Werte für den Subthreshold-Swing liegen zwischen 60 und 70 mV/dec, durchschnittliche Werte liegen jedoch darüber.

Diese Werte lassen sich anderen Systemen gegenüberstellen. FETs basierend auf ZnO (mit Topgate) beispielsweise zeigen An/Aus-Verhältnisse im Gatestrom von 10^7 über einen Gatespannungsbereich von circa 2 V [24]. Die Autoren geben dabei einen kleinsten Wert für den Subthreshold-Swing von 90 mV/dec an. Für FETs basierend auf Kohlenstoff-Nanoröhren werden Werte von $S = 85 - 95$ mV/dec bei einem On/Off-Verhältnis von bis zu 10^5 angegeben [27, 28].

5.4 Realisierung eines integrierten Schaltkreises (IC)

Eines der Ziele dieser Arbeit war neben der Realisierung und Charakterisierung oxidischer Transistoren auch die Kombination dieser Transistoren in integrierte Schaltungen (ICs). Die Verknüpfung von Transistoren auf einem Chip ermöglicht die Umsetzung von Logikschaltungen. Eine der zahlreichen möglichen Schaltungen besteht aus einer Reihe seriell verbundener Inverter und ist prinzipiell in der Lage ein stabiles Schwingungssignal zu erzeugen. Jeder Inverter gibt sein Eingangssignal invertiert an den Eingang des nächsten Inverters. Bei ungerader Anzahl an Invertern, die zu einem Ring verbunden werden, entsteht so eine Oszillation. Eine solche Schaltung wird auch als Ringoszillator bezeichnet. Eine ähnliche Schaltung wurde bereits in der Masterarbeit von B. Förg untersucht [71]. Bei dieser Schaltung wurden Transistoren vom Typ 1 verwendet. Einige FETs dieser Schaltung wurden durch externe Kondensatoren aneinander gekoppelt und das System zeigte nach Anregung des Schaltkreises durch einen Spannungsimpuls ein stabiles Schwingungsverhalten. Die Verwendung der Kondensatoren war nötig, da die einzelnen Schaltelemente nicht kaskadierbar waren. Aufbauend auf diesen Experimenten habe ich ein Schaltelement basierend auf Typ-1-FETs und Typ-2-FETs entwickelt, dessen Bereiche der Ein- und Ausgangsspannung sich decken. Das rechtfertigt die Bezeichnung dieser Schaltelemente als Inverter.

In diesem Kapitel werden Aufbau und Funktionsweise des entwickelten, kaskadierbaren Inverters erklärt. Anschließend wird die Ringoszillator-Schaltung vorgestellt. Zuletzt werden die Messungen an den realisierten Schaltungen dargestellt. Es wird gezeigt, dass mit oxidischen Transistoren Logik betrieben werden kann. Durch die Kombination mehrerer Inverter kann so ein schwingfähiges System erzeugt werden, das vollständig auf einem Chip integriert ist.

Inverterschaltung realisiert durch FETs

Ein Inverter besitzt einen Eingang und einen Ausgang. Die Aufgabe eines Inverters ist es, ein eingangsseitiges Signal „invertiert“ auszugeben. In der binären Logik erzeugt ein idealer Inverter aus einer logischen 0 (LOW) eine logische 1 (HIGH) und umgekehrt. Repräsentiert werden diese logischen Zustände durch Spannungspegel. Ein Inverter muss also in der Lage sein, zwischen zwei definierten Spannungen bzw. Spannungsbereichen umzuschalten. Für die Verschaltung mehrerer Inverter ist es erforderlich, dass sich die Bereiche der Ein- und Ausgabespannung der Inverter decken.

Zwei mögliche Bauformen von Invertern sind in Abbildung 65 schematisch dargestellt. Typ (a) ist aufgebaut aus einem Transistor und einem ohmschen Widerstand, die in Serie geschaltet sind. Typ (b) besteht aus zwei seriell verbundenen Transistoren. Die Schaltungen stellen Spannungsteiler dar, deren Teilungsverhältnis von der Größe der Widerstände abhängt. Die Funktion beider Schaltungen beruht darauf, dass der Kanalwiderstand des masseseitigen Transistors (Schalttransistor, driver) mittels angelegter Gatespannung U_{in} verändert wird. Mit der Änderung dieses Kanalwiderstands ändert sich das Verhältnis der Widerstände und somit U_{out} . Lastwiderstand und Lasttransistor werden auch als

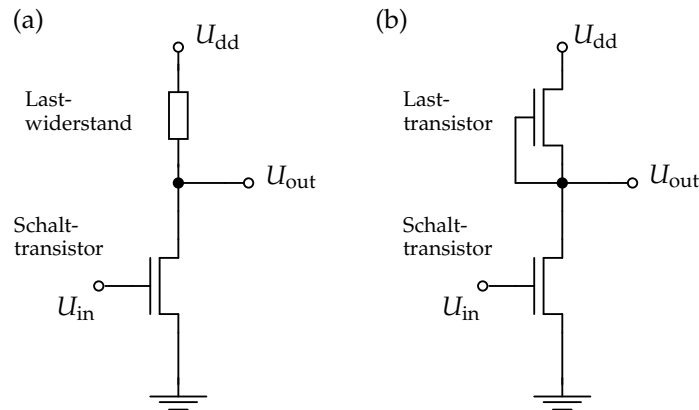


Abbildung 65

Ersatzschaltbilder zweier Invertertypen. a) Der Spannungsteiler wird gebildet aus einem Lastwiderstand und einem Schalttransistor. b) An die Stelle des Lastwiderstands tritt ein Lasttransistor. U_{dd} bezeichnet die Versorgungsspannung, U_{in} das Eingangssignal und U_{out} das Ausgangssignal der Inverter.

load bezeichnet.

Üblicherweise werden zur Realisierung von Invertiern Transistoren mit unterschiedlich großen Schwellspannungen mit unterschiedlichem Vorzeichen verwendet. Die CMOS-Technologie verwendet eine Kombination aus NMOS (n -Kanal) und PMOS (p -Kanal). CMOS-Inverter haben den großen Vorteil, dass in sowohl im LOW- als auch im HIGH-Zustand immer einer der beiden seriell verbundenen Transistoren sperrt. Die Schaltung besitzt deshalb eine sehr geringe statische Verlustleistung. Die größte Verlustleistung tritt beim Schalten des Inverters auf [120].

Alle in dieser Arbeit untersuchten FETs besitzen bei Raumtemperatur eine negative Schwellspannung U_t , leiten also bei $U_{in} = 0\text{ V}$. Eine große Änderung des Kanalwiderstand lässt sich also mit einer negativen Eingangsspannung erzielen. Ein logischer Schluss wäre es, dass U_{dd} dann ebenfalls negativ sein muss, damit U_{in} und U_{out} prinzipiell gleiches Vorzeichen besitzen können. Ein so beschalteter Inverter würde jedoch lediglich als Spannungsfolger und nicht als Inverter wirken.

Inverter aus Transistoren mit $U_t < 0\text{ V}$ lassen sich jedoch auch mit positiver Eingangsspannung realisieren. Dies wird für beide in Abb. 65 dargestellten Bauformen im Folgenden erklärt.

Inverter mit Lastwiderstand

Die Ausgangsspannung der in Abbildung 65a dargestellten Schaltung kann einfach berechnet werden. Am ohmschen Widerstand fällt immer Spannung $U = RI$ ab. Damit ergibt sich für U_{ds} und dazu äquivalent für U_{out}

$$U_{\text{out}} = U_{\text{dd}} - R \cdot I_{\text{dd}}$$

Source-Drain-Strom des Transistors und der Strom durch den Widerstand sind identisch und werden als I_{dd} bezeichnet. Damit ergibt sich U_{out} aus dem Schnittpunkt der Transistorkennlinie und der Geraden $I(U) = (U_{\text{dd}} - U)/R$. Mit Anlegen einer Eingangsspannung U_{in} wird die Transistorkennlinie verändert, damit verschiebt sich der Schnittpunkt und somit U_{out} . In den Abbildungen 66a und b wird die Bestimmung von U_{out} für $U_{\text{in}} = \text{LOW}$ und $U_{\text{in}} = \text{HIGH}$ schematisch dargestellt. Die Spannungsverstärkung dieser Schaltung berechnet sich aus

$$\frac{dU_{\text{out}}}{dU_{\text{in}}} = \underbrace{\frac{dU_{\text{out}}}{dI_{\text{dd}}}}_{-R} \cdot \underbrace{\frac{dI_{\text{dd}}}{dU_{\text{in}}}}_g \quad (17)$$

und wird also bestimmt aus dem Widerstandswert $-R$ und der Transkonduktanz g des Transistors. U_{dd} , R und U_{in} bestimmen, ob sich der Schalttransistor im linearen Bereich oder in Sättigung befindet. Ein großer Nachteil dieser Bauart ist der hohe Flächenbedarf für die Realisierung von Widerständen auf einem Chip [15].

Inverter mit Lasttransistor

Nun wird die Schaltung betrachtet, bei der kein Lastwiderstand sondern ein Lasttransistor (*load*) verwendet wird (Abbildung 65b). Die folgenden Überlegungen gelten für FETs mit gleicher, negativer Schwellspannung. Der Gatekontakt dieses Lastwiderstands befindet sich auf dem gleichen Potential wie sein Sourcekontakt, somit beträgt die Gatespannung am Lasttransistor stets 0 V. Im Gegensatz zum ohmschen Widerstand besitzt der Lasttransistor eine nichtlineare $I(U)$ -Kennlinie. Die folgende Überlegung erfolgt analog zur Überlegung der Schaltung mit Lastwiderstand.

Anhand der Abbildungen 66c und d wird das Schaltverhalten dieses Inverters erklärt. Da die Transistoren seriell verbunden sind, ist der Strom durch beide Bauteile identisch. Die schwarze Kurve stellt die (feste) Kennlinie des Lasttransistors dar. Wie bei der Betrachtung der Schaltung mit Lastwiderstand ist die Kurve hier gespiegelt aufgetragen, da die Summe beider Drain-Source-Spannungen durch U_{dd} fixiert ist. Der Schnittpunkt beider Kennlinien definiert U_{out} . Die blaue Kurve zeigt die (variable) Kennlinie des Schalttransistors (*driver*). U_{load} ist die am Lasttransistor abfallende Spannung und $U_{\text{out}} = U_{\text{dd}} - U_{\text{load}}$ die Ausgangsspannung.

Für einen Inverter sollte $U_{\text{out}}(U_{\text{in}} = \text{LOW})$ möglichst groß ausfallen. Die Spannung U_{load} muss dazu minimiert werden. Wie aus Abbildung 66c hervorgeht, muss dazu gelten

$$I_{\text{sat,driver}}(U_{\text{in}} = \text{LOW}) < I_{\text{sat,load}} \quad (18)$$

Im LOW-Zustand (im Allgemeinen $U_{\text{in}} = 0 \text{ V}$) des Inverters begrenzt der Schalttransistor den Gesamtstrom I_{dd} . Er befindet sich in Sättigung und besitzt einen großen Ausgangswiderstand $R_{\text{out,driver}}$. Der Lasttransistor befindet sich im linearen Bereich und besitzt

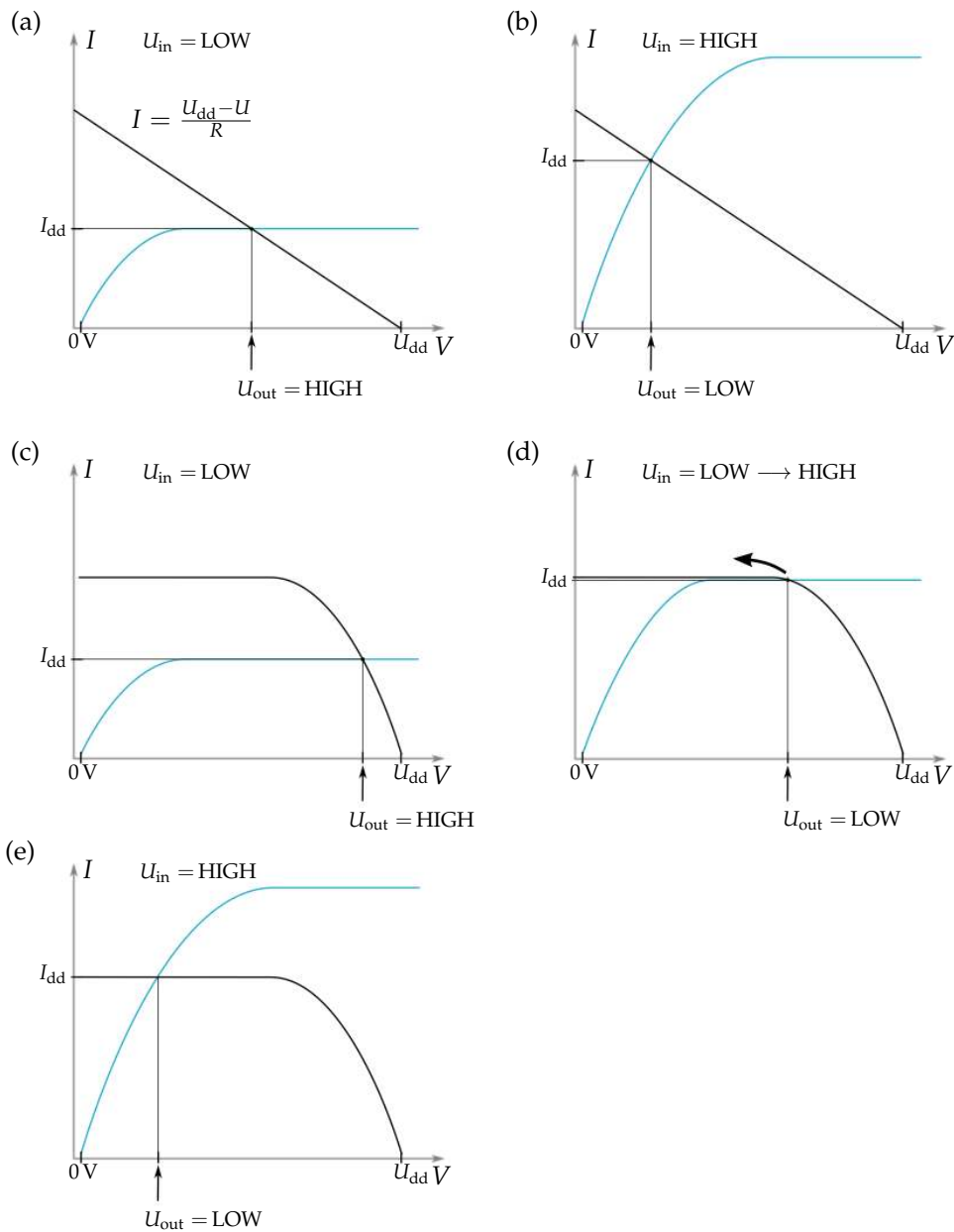


Abbildung 66

Zur graphischen Ermittlung der Inverter-Übertragungscharakteristik von Varianten mit Lastwiderstand (a, b) und Lasttransistor (c, d, e). Die hellblaue Kurve stellt die Kennlinie des Schalttransistors dar, die schwarze Kurve beschreibt die Last. Jeweils beide Bauteile sind seriell verbunden. Der Strom I_{dd} durch beide Bauteile ist immer identisch. Der Schnittpunkt beider Kurven gibt also immer U_{out} . Die Spannung, die an der jeweiligen Last abfällt, beträgt $U_{dd} - U_{out}$. Die Lastkurven sind deshalb vertikal gespiegelt. Ihr Nullpunkt liegt bei U_{dd} . (a) LOW-Zustand. (b) HIGH-Zustand, U_{out} ist jetzt kleiner als in (a). (c) LOW-Zustand, der Schalttransistor begrenzt den Strom. (d) Veränderung von U_{out} mit wachsendem U_{in} nahe des Schaltpunkts des Inverters. (e) HIGH-Zustand, der Lasttransistor begrenzt den Strom, U_{out} ist jetzt kleiner als in (c).

demnach einen kleinen Ausgangswiderstand $R_{\text{out,last}}$. Der Sättigungsstrom wird allgemein beschrieben durch $I_{\text{sat}} = \beta/2 (U_{\text{gs}} - U_{\text{t}})^2$. Damit der Schalttransistor im LOW-Zustand des Inverters bei kleineren Strömen als der Lasttransistor sättigt, muss demnach gelten

$$\beta_{\text{driver}} < \beta_{\text{load}}. \quad (19)$$

Bei Verwendung des selben Transistortyps für jeweils Schalt- und Lasttransistor lässt sich nach $\beta = (W/L) \cdot \beta_{\square}$ diese Bedingung für einen Inverter nur durch Anpassung der Aspektverhältnisse erfüllen.

Wird jetzt eine Eingangsspannung U_{in} an den Eingang eines solchen Inverters, also zwischen Source und Gate des Schalttransistors angelegt bzw. vergrößert, vergrößert dies den Sättigungsstrom des Schalttransistors $I_{\text{sat,driver}}$, der jetzt noch I_{dd} bestimmt. U_{out} wird dabei kleiner, da sich der Schnittpunkt der beiden Kurven nach links verschiebt (Abbildung 66d). Für $U_{\text{in}} = \text{HIGH}$ ist der Sättigungsstrom des Schalttransistors größer als der Sättigungsstrom des Lasttransistors. Am Übergangspunkt oder Schalterpunkt sind beide Ströme gleich groß. Bei dieser Spannung (U_{switch}) wird auch die Verstärkung der Inverters maximal.

Aus den vorherigen Überlegungen lässt sich mit Hilfe der Gleichungen zur Beschreibung idealisierter FETs der Verlauf von $U_{\text{out}}(U_{\text{in}})$ berechnen. Im LOW-Zustand gilt

$$I_{\text{driver}} = I_{\text{sat,driver}} = \beta_{\text{driver}} \cdot (U_{\text{in}} - U_{\text{t}})^2 \quad (20)$$

$$I_{\text{load}} = I_{\text{lin,load}} = \beta_{\text{load}} \left(-U_{\text{t}} - \frac{U_{\text{load}}}{2} \right) U_{\text{load}}. \quad (21)$$

Im HIGH-Zustand:

$$I_{\text{driver}} = I_{\text{lin,driver}} = \beta_{\text{driver}} \left(U_{\text{in}} - U_{\text{t}} - \frac{U_{\text{out}}}{2} \right) U_{\text{out}} \quad (22)$$

$$I_{\text{load}} = I_{\text{sat,load}} = \beta_{\text{load}} \cdot (U_{\text{t}})^2. \quad (23)$$

Durch Gleichsetzen der beiden Gleichungen und Auflösen nach U_{out} ergibt sich für LOW- und HIGH-Bereich jeweils

$$U_{\text{out}}(U_{\text{in}} < U_{\text{switch}}) = U_{\text{dd}} + U_{\text{t}} + \sqrt{U_{\text{t}}^2 - (U_{\text{t}} - U_{\text{in}})^2 \cdot \frac{\beta_{\text{driver}}}{\beta_{\text{load}}}} \quad (24)$$

$$U_{\text{out}}(U_{\text{in}} > U_{\text{switch}}) = -U_{\text{t}} + U_{\text{in}} + \sqrt{(U_{\text{t}} - U_{\text{in}})^2 - U_{\text{t}}^2 \cdot \frac{\beta_{\text{load}}}{\beta_{\text{driver}}}}. \quad (25)$$

Die Schaltspannung, die LOW- und HIGH-Bereich trennt, lässt sich berechnen zu

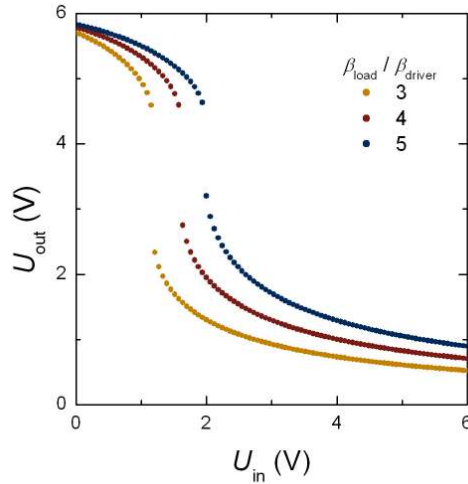


Abbildung 67

Aus den Gleichungen 25 und 24 berechnete Übertragungscharakteristiken von NMOS-Invertiern bestehend aus je zwei Transistoren gleicher Schwellspannung von $-1,6\text{ V}$. Das Verhältnis der Aspektverhältnisse beider Transistoren beeinflusst die Charakteristik. Der Schaltpunkt und U_{out} verschieben sich. Die dargestellten Verläufe springen bei der Schaltspannung. Bei Invertiern, die aus idealisierten FETs bestehen, divergiert die Verstärkung bei dieser Spannung.

$$U_{\text{switch}} = \sqrt{\beta_{\text{load}}/\beta_{\text{driver}}} \cdot |U_t| + U_t. \quad (26)$$

Bei Verwendung eines Transistortyps zur Realisierung eines solchen Inverters bestimmt also $\beta_{\text{load}}/\beta_{\text{driver}}$ die Schaltspannung. Da $\beta_{\square}$ für beide Transistoren desselben Typs gleich ist, werden die Übertragungscharakteristik und die Schaltspannung durch das Aspektverhältnis W/L beider Transistoren festgelegt. Abbildung 67 zeigt nach den obigen Gleichungen berechnete Übertragungscharakteristiken für drei unterschiedliche Kombinationen für die Aspektverhältnisse. Bei $U_{\text{in}} = U_{\text{in,switch}}$ springt der Kurvenverlauf, die Verstärkung divergiert hier. Der Kurvenverlauf wird bestimmt durch die Werte für Transkonduktanz und Ausgangswiderstand der Transistoren. Da der Ausgangswiderstand realer Transistoren endlich ist, wird der Schaltvorgang deutlich verbreitert.

Inverter mit Lasttransistor und Spannungsschieber

Die berechneten Übertragungscharakteristiken in Abbildung 67 zeigen, dass aus FETs eines Typs ein Inverter mit großer, rechnerisch unendlich großer, Spannungsverstärkung realisiert werden kann. Allerdings bleibt für $U_{\text{in}} = \text{HIGH}$ eine Restspannung $U_{\text{out}} > 0\text{ V}$ erhalten. Ihr Wert sinkt mit sinkendem Verhältnis $\beta_{\text{driver}}/\beta_{\text{load}}$. Gleichzeitig verschiebt sich der Schaltpunkt zu kleineren Spannungen. Die Restspannung ist nach Gleichung 25 unabhängig von U_{dd} . Für eine Kaskadierung solcher Inverter wäre $U_{\text{out}} = 0\text{ V}$ im HIGH-Zustand am besten.

Die Restspannung kann durch die Verwendung einer zusätzlichen negativen Versor-

gungsspannung U_{neg} reduziert werden. Eine Beschaltung wie in Abbildung 68a dargestellt führt allerdings zu dem Problem, dass durch U_{neg} das Gate des Schalttransistors effektiv positiv vorgespannt wird und sich dadurch $I_{\text{sat,driver}}$ erhöht. Diesem Problem kann zwar durch Anpassung der Geometrie des Schalttransistors begegnet werden, aber dadurch erhöht sich ebenfalls U_{switch} .

Mit Hilfe eines nachgeschalteten Spannungsteilers und einer zusätzlichen, negativen Versorgungsspannung U_{neg} kann U_{out} in negative Spannungsrichtung abgesenkt werden ohne das Schaltverhalten stark zu beeinflussen. Der Schaltplan eines solchen Inverters mit Spannungsteiler oder auch Spannungsschieber ist in Abbildung 68b dargestellt. Praktisch lässt sich ein solcher Spannungsschieber umsetzen durch eine leitfähige Fläche des $\text{LaAlO}_3/\text{SrTiO}_3$ -Elektronensystems mit einem Spannungsabgriff.

Durch den Spannungsteiler fließt ein zusätzlicher Strom, was beim Entwurf der Schaltung berücksichtigt werden muss. Um das Schaltverhalten des Inverters nicht zu verhindern, muss der Gesamtwiderstand des Spannungsteilers entsprechend groß sein. In der realisierten Schaltung wurde der Widerstand so groß gewählt, dass der zu erwartende zusätzliche Strom deutlich kleiner als $I_{\text{sat,driver}}$ und dadurch automatisch auch kleiner als $I_{\text{sat,last}}$ ist. Die maximal zur Verfügung stehende Spannung ist U_{dd} , also sollte der Gesamtwiderstand deutlich größer als $U_{\text{dd}}/I_{\text{sat,driver}}$ sein. Daher wurden für den Spannungsteiler Werte von circa 100 kOhm (Gesamtwiderstand) gewählt.

In einem Ringoszillator werden die wie oben beschriebenen Inverter kaskadiert. Der große Widerstand des Spannungsteilers bildet zusammen mit der Eingangskapazität des nachfolgenden Inverters einen Tiefpass, dessen Grenzfrequenz durch $f_0 = 1/(2\pi RC)$ bestimmt wird [120]. Bei den in dieser Arbeit hergestellten Invertern beträgt die Grenzfrequenz etwa $f_0 = 2 \text{ kHz}$.

Umsetzung des Inverters und des Ringoszillators

Unter Berücksichtigung der vorangegangenen Überlegungen wurden Inverter mit Transistoren vom Typ 2 hergestellt. Erklärende Skizzen zur Geometrie eines Inverters sind in Abbildung 69 (ohne Spannungsteiler) dargestellt. Das gemessene Schaltverhalten eines der hergestellten Inverter mit Spannungsteiler (Verhältnis 1:1) ist in Abbildung 70 dargestellt. Die Übertragungscharakteristiken wurden für verschiedene U_{dd} und U_{neg} gemessen. Durch die Wahl der Kanalgeometrien wurde $W/L_{\text{load}} = 3$ (Load) und $W/L_{\text{driver}} = 1$ (Driver) festgelegt. Das Eingangssignal wird invertiert. Abbildung 70a zeigt, dass U_{out} im HIGH-Zustand ($U_{\text{in}} = 1 \text{ V}$) unabhängig von U_{dd} ist. Dieses Verhalten wird auch durch Gleichung 25 vorhergesagt. Mit U_{neg} kann U_{out} in negativer Richtung verschoben werden. Der Übergangsbereich ist im Gegensatz zum Übergangsbereich in Abbildung 67 deutlich verbreitert. Dies kommt daher, dass der Ausgangswiderstand der FETs im Sättigungsbereich im Gegensatz zu idealisierten FETs endlich ist.

Die gemessenen Übertragungscharakteristiken zeigen, dass die vorangegangenen Überlegungen prinzipiell richtig waren. Mit Hilfe des Spannungsteilers und der negativen

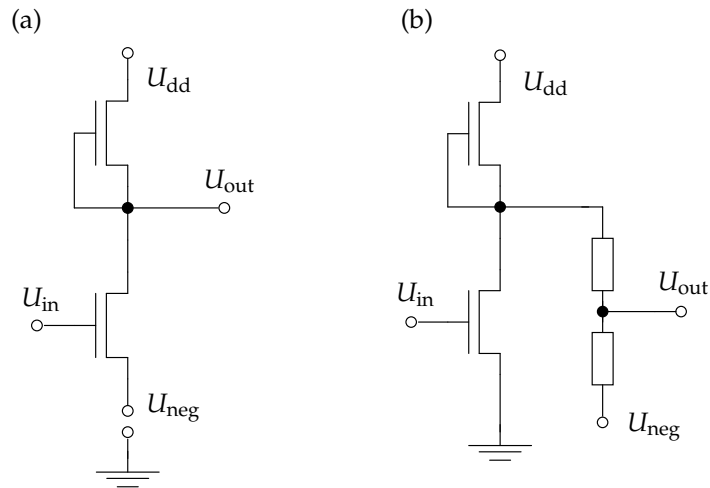


Abbildung 68

(a) Schaltplan eines Inverters mit bipolarer Spannungsversorgung. (b) Schaltplan eines Inverters mit nachgeschaltetem Spannungsteiler und negativer Spannung U_{neg} . U_{out} wird hier nicht mehr am Knotenpunkt beider Transistoren abgegriffen, sondern im Verhältnis der Widerstände geteilt und um den gleichen Anteil von U_{neg} abgesenkt.

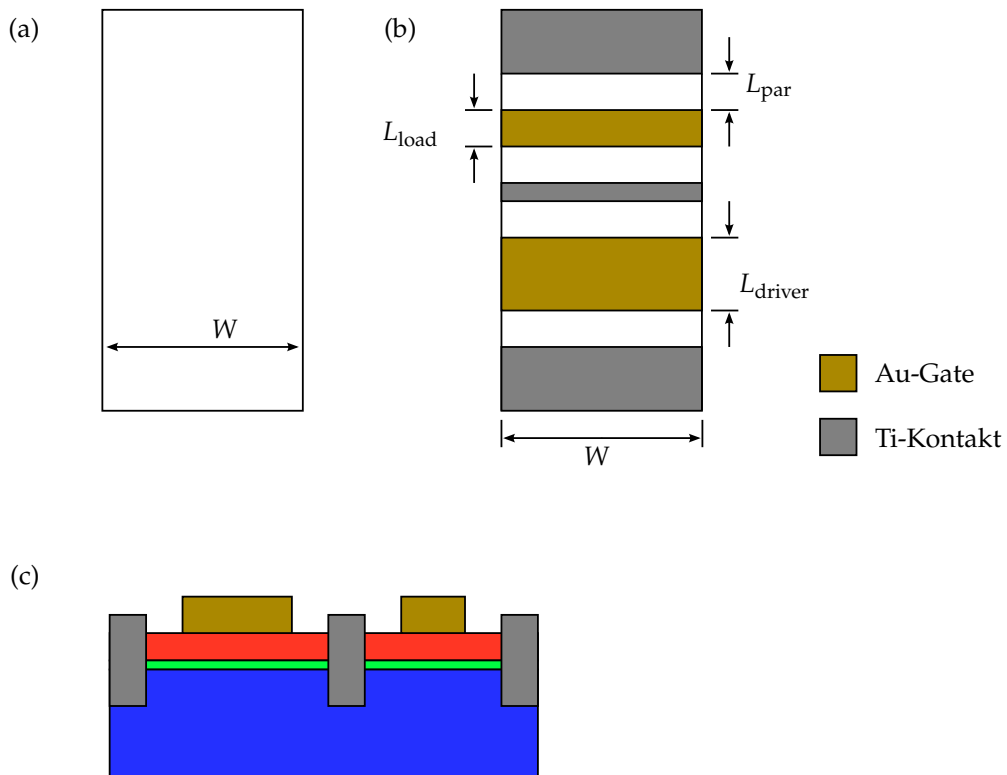


Abbildung 69

Bilder zur Erklärung der Geometrie des hergestellten oxidischen Inverters. (a) Aufsicht auf die Fläche des Inverters der Breite W . Diese Fläche wird definiert durch eine leitende $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche. (b) Die gleiche Fläche mit Gold-Gates und Ti-Kontakten zur Grenzfläche und ihren entsprechenden Längenbezeichnungen. (c) Schematischer Probenquerschnitt der in (b) dargestellten Aufsicht.

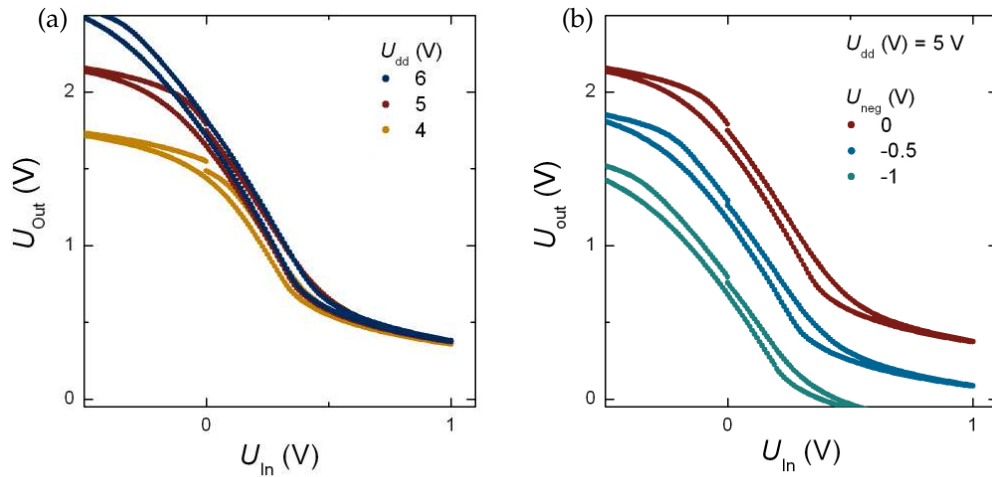


Abbildung 70

Gemessene Übertragungscharakteristiken eines NMOS-Inverters basierend auf Transistoren vom Typ 2 mit nachgeschaltetem Spannungsteiler (Angaben zur Geometrie etc. siehe Tabelle 8). (a) Für unterschiedliche Versorgungsspannungen. U_{out} ist im „high“-Bereich wie erwartet unabhängig von U_{dd} . (b) Mit dem nachgeschalteten Spannungsteiler und negativer Versorgungsspannung lässt sich U_{out} reduzieren.

Versorgungsspannung lässt sich die $U_{out}(U_{in})$ -Charakteristik des Inverters anpassen, so dass sich Bereiche von U_{out} und U_{in} decken. Somit sollte der Inverter auch skalierbar sein.

Parasitäre Widerstände wurden in den vorangegangenen Überlegungen noch nicht berücksichtigt. Diese werden beispielsweise durch die Zuleitungen (L_{par} in Abbildung 69b) der Transistoren verursacht. Um diese Widerstände zu minimieren, muss L_{par} so klein wie möglich sein, bzw. muss W/L_{par} möglichst groß sein. Die kleinsten lateralen Abstände zwischen Gate und Ti-Kontakt betragen mehrere μm . Für die Kanalbreite wurde auf Grund dieser Beschränkung auf Werte von mehreren $100 \mu m$ festgelegt. Die Kanallänge wurde auf ein Vielfaches von L_{par} festgelegt, um den Einfluss der parasitären Widerstände relativ zur Gesamtschaltung zu minimieren. Mit diesen Werten wird auch die Kapazität des Schalttransistors vorgegeben ($C \propto L \cdot W$).

Eine weitere Beschränkung bei der Wahl der Geometrie ist durch den Spannungsteiler vorgegeben. Im Vergleich zum Gesamtwiderstand des Spannungsteilers müssen die Kanalwiderstände von Last und Driver klein sein. Andererseits muss berücksichtigt werden, dass der Spannungsteiler zusammen mit dem Gate der nachfolgenden Inverterstufe einen Tiefpass.

Mit diesen Überlegungen zur Dimensionierung wurden die Parameter des Ringoszillators ausgewählt. Um eventuell auftretende Variationen von β und U_t ausgleichen zu können, wurden geometrisch leicht unterschiedliche Transistor-Kombinationen auf dem Layout integriert. In Tabelle 8 sind Parameter eines Ringoszillators aufgelistet. Das ent-

wickelte Layout ist in Abbildung 72 dargestellt. Die Transistoren werden direkt auf dem Chip miteinander verschaltet. Der Ausgang des dritten Inverters muss mit dem Eingang des ersten Inverters mit einem Bond verbunden werden (Ringschluss). Abbildung 72 zeigt den Schaltplan sowie außerdem lichtmikroskopische Aufnahmen einer der hergestellten Proben.

Beschreibung	Wert
Kanalbreite	600 μm
Länge Schalttransistor	200 μm
Länge Lasttransistor	100 μm
Länge parasitäre Widerstände	5 μm
Breite Spannungsteiler	40 μm
Länge pro Widerstand Spannungsteiler	70 μm
$I_{\text{sat,driver}}$	170 μA
$I_{\text{sat,load}}$	340 μA
C_{driver}	2,5 nF
R je Spannungsteiler	40 k Ω
f_0	1,6 kHz

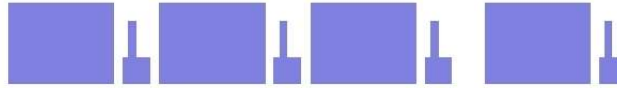
Tabelle 8

Ausgewählte Dimensionen und abgeschätzte Parameter für die Realisierung eines Ringoszillators basierend auf seriell verbundenen Inverterstufen mit nachgeschaltetem Spannungsteiler.

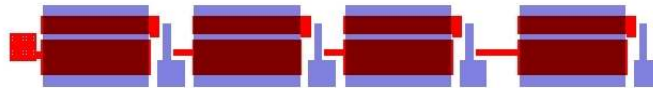
Mit Anlegen einer Versorgungsspannung konnten stabile Schwingungen erzeugt werden. Abbildung 73 zeigt unter anderem aufgezeichnete Signalverläufe. Das Schwingungssignal ist sinusförmig. Im Spektrum sind nur geringe Anteile von Oberschwingungen enthalten. Abbildung 73a zeigt den Einschaltvorgang beim Anlegen der Versorgungsspannung. Bei $U_{\text{dd}} = 6,5 \text{ V}$ wurde U_{neg} auf $-1,9 \text{ V}$ erhöht. Dabei setzt spontan eine Schwingung der Frequenz 1,4 kHz ein. Diese Schwingung konnte minutenlang aufrecht erhalten werden. Außerdem konnte die Frequenz innerhalb eines gewissen Rahmens durch Variation der Versorgungsspannung um mehrere 10 Hz verschoben werden, siehe Tabelle 9. Abbildung 73b zeigt ein dabei aufgezeichnetes Signal bei etwas geringeren Versorgungsspannungen als bei der Messung der Abbildung 73a.

Abbildung 73d stellt ein aufgezeichnetes Schwingungssignal in Abhängigkeit der Temperatur dar. Für diese Messung wurde die Probe in eine Kanne mit flüssigem Helium abgesenkt. Der dabei aufgezeichnete Temperaturverlauf ist in Abbildung 73c gezeigt. Mit Hilfe einer PC-Soundkarte wurde gleichzeitig zur Temperaturmessung das Schwingungssignal aufgezeichnet. Mit sinkender Temperatur steigt die Schwingungsfrequenz deutlich an. Dies ist durch den Kanalwiderstand zu erklären, der ebenfalls mit der Temperatur fällt und die Schwingungsfrequenz hauptsächlich durch die RC-Zeitkonstante der Inverter festgelegt ist. Die Amplitude wird mit sinkender Temperatur ebenfalls kleiner, was jedoch auch ein zeitlicher Effekt ist. Um etwa $T = 260 \text{ K}$ herum brach die Schwingung zusammen und konnte durch Nachregeln der Versorgungsspan-

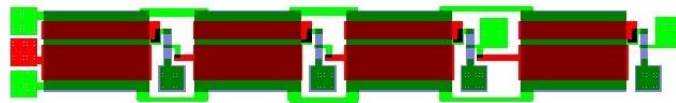
(a) Elektronensystem



(b) Gold



(c) Titan



(d) Vollständiges Layout

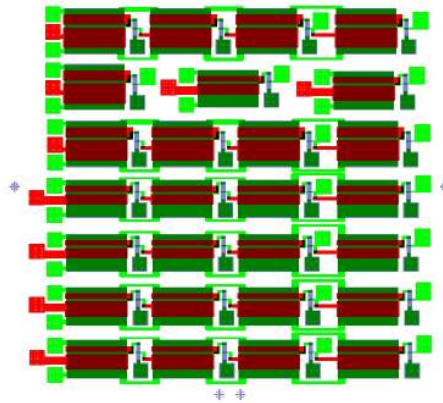


Abbildung 71

Maskenlayout des Ringoszillators. (a) - (c) beschreiben einen einzelnen Oszillator. (a) Das Elektronensystem wird definiert (LaAlO_3 -Schichtdicke 5 EZ plus Dielektrikum) in farbig markierten Bereichen). Die kleinen Flächen für den Spannungsteiler befinden sich zwischen den großen Flächen für die FETs. Jedes der vier Rechtecke bildet später einen Inverter. (b) Die Gold-Gates werden definiert. Die jeweils unteren, größeren Flächen bilden die Schalttransistoren. Die oberen, kleineren Flächen die Lasttransistoren. (c) Die neu markierten Bereiche definieren Grenzflächenkontakte. Sie stellen außerdem jeweils Kontakt zwischen dem Gate des Lasttransistors, dem Mittelkontakt zwischen den beiden Transistoren und dem Anschluss für den Spannungsteiler her. Darüber hinaus entstehen Kontakte für die Versorgungsspannungen. (d) Darstellung des gesamten Layouts (Kantenlänge des gesamten Layouts circa 5 mm).

U_{dd} (V)	U_{neg} (V)	f (Hz)
6,5	-1,8	1480
6,5	-1,9	1500
6,5	-2,0	1514
6,5	-2,1	1535
7,5	-2,1	1514

Tabelle 9

Haupt-Schwingungsfrequenz eines Ringoszillators bei unterschiedlichen Versorgungsspannungen.

nung erneut erzeugt werden.

Nach dem vorher beschriebenen Layout konnten Ringoszillatoren hergestellt werden. Die erzeugten Schwingungen waren über mehrere Minuten stabil, brachen aber nach endlicher Zeit zusammen. Eine mögliche Ursache dafür könnten Hysterese-Effekte an einzelnen Transistoren sein (siehe Hysterese-Erscheinungen an Typ-2-FETs). Durch solche Hysterese-Effekte verändern sich die Übertragungscharakteristiken der einzelnen FETs, was das gesamte Schaltverhalten des Oszillators beeinflussen kann. In manchen Fällen konnte die Schwingung nach vorherigem Zusammenbruch erst nach einigen Minuten Wartezeit erneut erzeugt werden. Außerdem erzeugten nicht alle Oszillatoren ein Schwingungssignal. Dennoch konnte gezeigt werden, dass die Schaltung prinzipiell funktioniert.

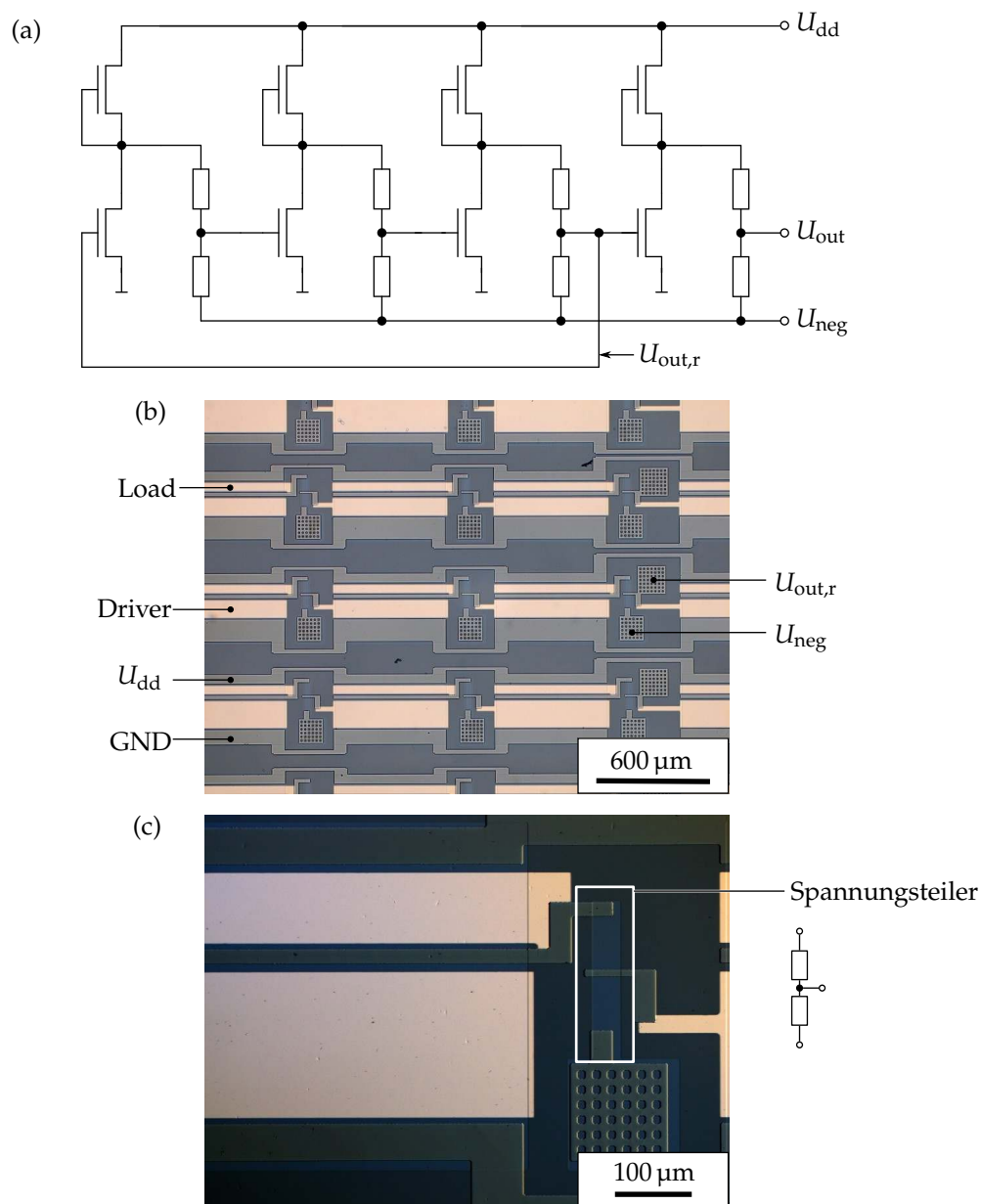


Abbildung 72

(a) Schaltplan des umgesetzten Ringoszillators. Der Oszillator besteht aus 3 seriell zu einem Ring verbundenen Invertiern. Der vierte Inverter dient zum Auskoppeln der Schwingung. An der Leitung vom Ausgang des dritten Inverters zum Eingang des ersten Inverters ist das Spannungssignal $U_{out,r}$ markiert, siehe auch Abbildung (b). Diese Verbindung wird mit Hilfe eines Bonds auf dem Chip hergestellt. (b) Lichtmikroskopische Aufnahme eines hergestellten Oszillators basierend auf Typ-2-Transistoren. Mehrere Oszillatoren unterschiedlicher Geometrie verlaufen horizontal. Load markiert die Gold-Gatefläche des Lasttransistors, Driver entsprechend die Gatefläche des Schalttransistors. Markiert sind außerdem die Titan-Kontakte, die elektrische Signale führen. GND: Massekontakt. $U_{out,r}$: Ausgang der dritten Inverterstufe, muss durch einen Bond mit dem Eingang des ersten Inverters verbunden werden (im Bild nicht zu sehen). (c) Aufnahme des Spannungsteilers. Im markierten Bereich setzt sich farblich die leitfähige Fläche des Elektronensystems von der sonst isolierenden Fläche ab. Drei Titan-Kontakte definieren Spannungsabgriffe. Fotos (b) und (c): C. Woltmann, MPI.

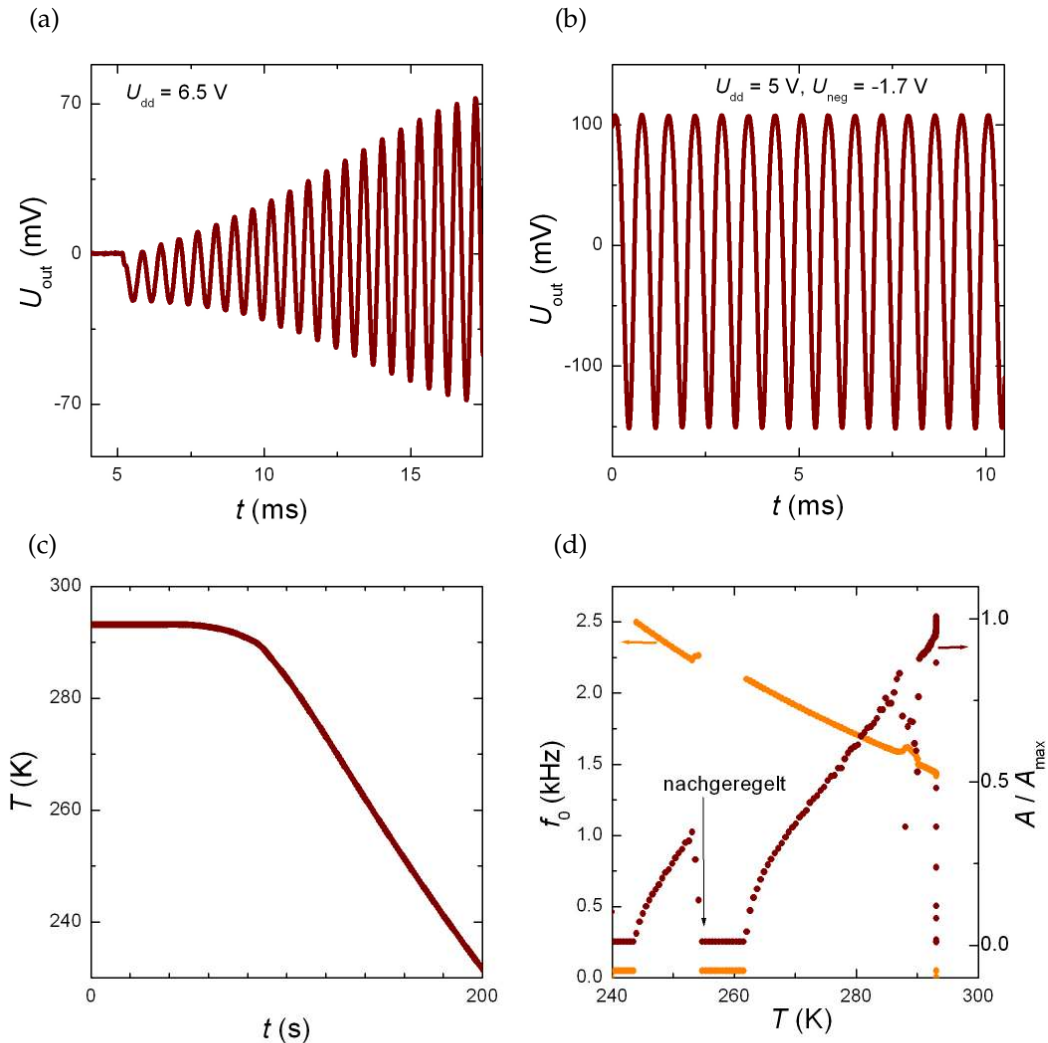


Abbildung 73

Zum Signalverlauf von U_{out} einer integrierten Schaltung basierend auf oxidischen Transistoren (Typ 2). (a) Einschaltvorgang. Mit der Änderung von $U_{\text{neg}} = -1,8$ V auf $U_{\text{neg}} = -1,9$ V setzt ab $t = 5$ ms eine Schwingung ein. (b) Schwingung bei konstanten Versorgungsspannungen. Außerdem wurde das Schwingungssignal in Abhängigkeit der Temperatur gemessen. Die Schwingung wurde mit Hilfe einer PC-Soundkarte aufgezeichnet und analysiert. (c) Temperaturverlauf für (d). (d) Schwingungsfrequenz f_0 und normiert Amplitude in Abhängigkeit der Temperatur. Die Amplitude wurde im Verlauf der Messung langsam kleiner. Um $T = 260$ K herum brach sie zusammen. Durch Nachregeln der positiven Versorgungsspannung (von circa 6,5 V auf über 7 V) konnte der Oszillator erneut in Schwingung versetzt werden.

6 Zusammenfassung und Ausblick

In dieser Arbeit wurde das System $\text{LaAlO}_3/\text{SrTiO}_3$ als Beispielsystem oxidischer Heterostrukturen untersucht. An der TiO_2 -terminierten $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche bildet sich eine zweidimensionale Elektronenflüssigkeit aus. Das besondere ist, dass es sich bei diesem Elektronensystem um ein System handelt, in dem elektronische Korrelationen eine messbare Rolle spielen. Das Elektronensystem ist einerseits interessant für die Grundlagenforschung, andererseits ermöglicht es sogar die Realisierung elektronisch funktionaler Bauelemente. Im Rahmen dieser Arbeit konnten funktionale Eigenschaften von $\text{LaAlO}_3/\text{SrTiO}_3$ -basierten Feld-Effekt-Transistoren gezeigt werden.

Mit verschiedenen Vakuumtechniken wie der gepulsten Laserablation, der Sputter-Deposition und dem Ionenätzen wurden zahlreiche Proben hergestellt und untersucht. Zur Strukturierung des zweidimensionalen Elektronensystem an der $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche wurden verschiedene Lithographietechniken verwendet. Mit Hilfe der optischen Photolithographie wurden überwiegend die hier untersuchten oxidischen Feld-Effekt-Transistoren sowie die Proben für die Zusammenarbeiten (siehe Anhang) hergestellt. Mittels Elektronenstrahlolithographie wurden innerhalb der Zusammenarbeit mit C. Woltmann und weiteren Mitarbeitern des MPI Stuttgart ebenfalls oxidische Transistoren hergestellt. Als Alternative zu diesen beiden Lithographietechniken wurde die elektrostatische Erzeugung leitfähiger Linien mittels modifizierter Rasterkraftmikroskopie untersucht. An isolierenden $\text{LaAlO}_3/\text{SrTiO}_3$ -Proben mit LaAlO_3 -Schichtdicken von circa 3 EZ konnten mehrfach leitfähige Linien erzeugt werden. Das verwendete qPlus-Setup benötigt zur Schwingungsdetektion des Sensors keinen Laser. Somit war es möglich, leitfähige Linien mit einem sehr geringen Beitrag an Photoleitfähigkeit, wie sie zum Beispiel durch Laser handelsüblicher Rasterkraftmikroskope hervorgerufen wird, zu erzeugen. Grenzflächenkontakte konnten mit den geschriebenen Linien elektrisch verbunden werden. Außerdem ist es gelungen, mehrere geschriebene Linien durch neue Linien miteinander zu verbinden und vereinzelt zu löschen. Aus den gewonnenen Daten konnte eine Linienbreite von circa 50 nm bestimmt werden. Experimente an Proben mit zusätzlichem BaTiO_3 -Dielektrikum führten zu keinem positiven Ergebnis.

Hergestellt wurden zwei unterschiedliche Typen von Feld-Effekt-Transistoren. Sowohl FETs vom Typ 1 (Dielektrikum: 9 EZ LaAlO_3 ; Gate: $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$) als auch FETs vom Typ 2 (Dielektrikum: 5 EZ LaAlO_3 und circa 8 EZ BaTiO_3 ; Gate: Au) zeigen gute FET-Funktionalität. Die verwendeten Materialien eignen sich sehr gut für den Einsatz in FETs. Um die Eigenschaften der oxidischen FETs dieser Arbeit mit den Eigenschaften anderer FET-Systeme vergleichen zu können, wurden Kenngrößen wie Schwellspannung U_t , Verstärkungsfaktor $\beta_{\square}$, Gatekapazität C_{gs} , Ladungsträgerdichte $n_{\square}$, Beweglichkeit μ und Subthreshold-Swing S sowie das $I_{\text{on}}/I_{\text{off}}$ -Verhältnis bestimmt. Die Verläufe der Kapazitätsmessungen zeigen eine große Änderung der Gate-Source-Kapazitäten beim Schalten der Transistoren. FETs vom Typ 1 zeigen etwas geringere Werte für die Ladungsträgerdichte und die Elektronenbeweglichkeit als FETs vom Typ 2. Die Werte für den Verstärkungsfaktor $\beta_{\square}$ fallen für beide FET-Typen fast gleich aus, variieren jedoch bei FETs vom Typ 2 stärker als bei FETs vom Typ 1. Besonders hervorzuheben sind die bestimmten

Werte für $I_{\text{on}}/I_{\text{off}}$ und S . Sowohl die Leckstromdichten als auch I_{off} der Typ-2-FETs fallen deutlich geringer aus als die Werte der Typ-1-FETs. Durch den Metall-Isolator-Übergang der $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche lassen sich die oxidischen FETs in einen extrem hoch-ohmigen Zustand schalten. Der Übergang zwischen leitendem und isolierendem Bereich ist charakterisiert durch Werte für S von bis zu $S = 60 \text{ mV pro Dekade } I_{\text{ds}}$. Über einen breiteren Bereich von U_{gs} gemittelt ist S größer als 60 mV .

Zur Herstellung der Typ-2-FETs wurde das Wachstum von BaTiO_3 auf $\text{LaAlO}_3/\text{SrTiO}_3$ -Heterostrukturen untersucht. Die aufgezeichneten RHEED-Signalverläufe zeigen, dass der BaTiO_3 -Film während des Wachstums verschiedene Wachstumsphasen durchläuft. Diese Tatsache wird von STEM-Untersuchungen, die von J. Mundy (Gruppe Professor D. Müller, Cornell University) durchgeführt wurden, bestätigt. In den STEM-Bildern können regelmäßig auftretende Versetzungen identifiziert werden. Die Dicke der hergestellten BaTiO_3 -Filme wurde auf circa 3 nm festgelegt. Dickere Filme ließen sich nicht in einem zweidimensionalen Wachstumsmodus realisieren. Aus den FET-Eigenschaften wird geschlossen, dass entweder die so gewachsenen BaTiO_3 -Lagen nicht ferroelektrisch sind, oder, dass eine möglicherweise vorhandene, schwache Polarisierung nicht durch die angelegten elektrischen Felder verändert werden kann. Obwohl die Frage nach der Ferroelektrizität in den hergestellten BaTiO_3 -Filmen nicht im primären Fokus stand, ist sie dennoch wichtig. Mögliche Ursachen dafür, dass keine ferroelektrischen Eigenschaften beobachtet werden konnten, sind folgende:

1. Die regelmäßigen Fehlstellen im BaTiO_3 -Gitter unterdrücken die Ausbildung einer stabilen Polarisierung, die aus der Filmebene heraus zeigt. Dass Fehlstellen wie Stufenversetzungen im Kristallgitter zu einer Unterdrückung des ferroelektrischen Zustandes in Filmen aus $\text{Pb}(\text{Zr}_{0,52}\text{Ti}_{0,48})\text{O}_3$ führen, konnten M.-W. Chu *et al.* zeigen [121].
2. Die hergestellten BaTiO_3 -Filme sind mit circa 3 nm zu dünn, um einen stabilen ferroelektrischen Zustand auszubilden. An sehr dünnen BaTiO_3 -Filmen (Dicke $d < 10 \text{ nm}$) kann eine deutliche Reduktion der Polarisierung beobachtet werden [122, 116].
3. Die Ausbildung eines Grenzflächen-Dipols an der AlO_2 - BaO -Grenzfläche verringert oder verhindert die Polarisierbarkeit. Ein solcher Effekt wurde beispielsweise für $\text{SrRuO}_3/\text{BaTiO}_3/\text{SrRuO}_3$ -Heterostrukturen theoretisch vorhergesagt [123]. Durch eine zusätzliche SrTiO_3 -Zwischenschicht kann dieses Problem praktisch verhindert werden [124].

Innerhalb der Zusammenarbeit mit C. Woltmann und weiteren Mitarbeitern des MPI Stuttgart wurden mittels Elektronenstrahlolithographie oxidische FETs vom Typ 2 hergestellt. Die kleinsten Gatelängen betrugen nominell 200 nm . Wegen der großen parasitären Widerstände der Grenzfläche bei schmalen Kanalbreiten ist die Charakterisierung solcher FETs schwieriger als bei größeren FETs. Eine eindeutige Reduktion der Schwellenspannung aufgrund eines Kurzkanaleffekts konnte nicht gefunden werden. Alle gemes-

senen Transistoren zeigten charakteristische FET-Eigenschaften, wie sie an FETs vom Typ 2, die mit optischer Photolithographie hergestellt wurden, gemessen wurden.

Unter Berücksichtigung von Kenngrößen der Typ-2-FETs wurde eine Inverter basierend auf diesem Transistor-Typ entwickelt. Als Hürde stellte sich die Tatsache heraus, dass systembedingt derzeit auf einer Probe nur ein FET-Typ (gleiche Schwellspannung, gleicher Verstärkungsfaktor) realisiert werden kann. Der in dieser Arbeit entwickelte Inverter ist eine kaskadierbare Variante, ermöglicht also die Realisierung einer Transistor-Logik (NOT-Logik) basierend auf $\text{LaAlO}_3/\text{SrTiO}_3$ -FETs. Dadurch war es möglich, FETs auf Basis des Systems $\text{LaAlO}_3/\text{SrTiO}_3$ zu einem integrierten Schaltkreis (IC) zu verknüpfen. Bei diesem IC handelt es sich um eine Ringoszillator-Schaltung. Durch anlegen einer Versorgungsspannung konnten mit dieser Schaltung mehrfach gleichmäßig oszillierende Schwingungssignale im hörbaren Frequenzbereich (circa 1 kHz) erzeugt werden.

Ausblick

Es wurde gezeigt, dass integrierte Schaltungen basierend auf der $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche hergestellt werden können und funktionieren. Darauf aufbauend bietet sich die Möglichkeit, solche oder ähnliche Schaltungen basierend auf oxidischen Feld-Effekt-Transistoren mit weiteren, funktionalen Materialien zu kombinieren. Besonders interessant wäre die Realisierung eines oxidischen p -Kanal Feld-Effekt-Transistors. Ein denkbarer Kandidat für ein p -leitendes Material wäre $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$. Wie bereits in der Einleitung erwähnt, konnten J. Mannhart *et al.* erstmals einen Feld-Effekt an $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ -Kanälen nachweisen [30]. Mit je einem n -Kanal und einem p -Kanal FET auf einem Chip wäre CMOS-Logik auf Basis oxidischer Heterostrukturen möglich. Die ohnehin verlustarme (im Hinblick auf statische Verlustleistung) CMOS-Technologie auf Basis oxidischer FETs könnte durch Verwendung oxidischer FETs besonders verlustarm und schnell (Schaltgeschwindigkeit) sein.

Die hergestellten BaTiO_3 -Filme zeigten kein Anzeichen für ferroelektrische Eigenschaften. Speichieranwendungen wie zum Beispiel FeRAM (*ferroelectric random-access memory*) standen nicht im Fokus dieser Arbeit. Dennoch wäre die Untersuchung von FETs basierend auf $\text{LaAlO}_3/\text{SrTiO}_3$ mit schaltbarem Ferroelektrikum als Gate-Isolator höchst interessant. Um die vorher aufgezählten, möglichen Ursachen für die Abwesenheit von Ferroelektrizität auszuschließen, werden folgende Möglichkeiten vorgeschlagen. Zur Vermeidung eines Grenzflächen-Dipols wäre die Einbringung einer SrTiO_3 -Zwischenschicht zwischen LaAlO_3 und BaTiO_3 interessant, im Aufbau also ähnlich zu den von H. Lu *et al.* veröffentlichten Probenstrukturen [124]. Dickere BaTiO_3 -Filme können vielleicht mit veränderten Wachstumsparametern in einem zweidimensionalen Wachstumsmodus hergestellt werden. Alternativ dazu kann ein Übergitter aus SrTiO_3 und BaTiO_3 zu einem dicken, ferroelektrischen Film führen, wie von H. Tabata *et al.* gezeigt wurde [125].

Es konnte gezeigt werden, dass die oxidischen Transistoren sehr gute charakteristische Transistor-Eigenschaften zeigen. Kurzkanaleffekte konnten nicht beobachtet werden. Eine fundamentale Grenze konventioneller Halbleiter-FETs, die 60 mV-Grenze für den Sub-

threshold-Swing, wurde von einigen der oxidischen FETs erreicht, jedoch nicht unterschritten. Es bleibt die spannende Frage, ob diese Grenze mit dem System $\text{LaAlO}_3/\text{SrTiO}_3$ unterschritten werden kann. Vorschläge für $\text{LaAlO}_3/\text{SrTiO}_3$ -Proben, um dieser Fragestellung weiter nachzugehen, sind unter anderem:

1. kleinere Strukturen, um den Einfluss von Inhomogenitäten zu verringern
2. Minimierung aller parasitärer Einflüsse, wie zum Beispiel R_s
3. Verringerung der LaAlO_3 -Schichtdicke auf 4 EZ oder darunter

Eine entscheidende Frage ist außerdem, ob die bislang von V. Tinkl *et al.* und L. Li *et al.* gemessene Kapazitätserhöhung auch bei Zimmertemperatur einen Einfluss auf das Systemverhalten hat.

A Zusammenarbeiten

Dieser Abschnitt nennt wichtige Zusammenarbeiten, die im Rahmen dieser Doktorarbeit mit anderen Gruppen entstanden sind bzw. weitergeführt wurden. Aus den Ergebnissen der Zusammenarbeiten gingen mehrere Publikationen sowie wesentliche Bestandteile mehrerer Doktorarbeiten hervor. Wichtige Ergebnisse werden kurz dargestellt. Mehr Details finden sich in den jeweils genannten Publikationen.

Optische Messungen, Tim Günter

In einer Zusammenarbeit mit T. Günter (Helmholtz-Institut für Strahlen- und Kernphysik, Arbeitsgruppe Professor M. Fiebig) wurden $\text{LaAlO}_3/\text{SrTiO}_3$ -Proben mittels einer optischen Technik in sogenannten SHG-Experimenten (*second harmonic generation*), untersucht. Die Ergebnisse dieser Zusammenarbeit wurden bei Phys. Rev. B publiziert [126]. Bei dieser Technik wird die Oberfläche der zu untersuchenden Probe mit Laserlicht einer Frequenz beschossen. Analysiert wird die von der Probe emittierte Strahlung doppelter Frequenz. Die $\text{LaAlO}_3/\text{SrTiO}_3$ -Proben wurden bei einer SHG-Energie von 2,1 eV untersucht. Eine Frequenzverdopplung tritt an Systemen auf, die nicht zentrosymmetrisch sind, wie zum Beispiel an Grenzflächen. SHG-Experimente wurden bereits vorher durchgeführt und haben sich als geeignet erwiesen, um die elektronischen $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächeneigenschaften zu untersuchen [127, 128]. Die laterale Auflösung des SHG-sensitiven Bereichs konnte bis auf 1 μm eingegrenzt werden.

Untersucht wurden Proben unterschiedlicher Dicke. In dieser Arbeit wurden zwei der untersuchten Proben hergestellt: R67 (1 EZ dickes LaAlO_3 auf SrTiO_3) und R68 (2 EZ dickes LaAlO_3 auf SrTiO_3). Grundsätzlich ergaben die Messungen, dass das SHG-Signal für unterschiedliche Schichtdicken variiert. Abbildung 74 zeigt die Signale einer Probe mit 1 EZ-Schichtdicke und einer Probe mit 3 EZ-Schichtdicke. Die Oberfläche der 1 EZ-Probe zeigt deutliche Inhomogenitäten (Abbildung 74a). Besonders ist, dass diese Inhomogenitäten bei dickeren Filmen nicht mehr auftreten (Abbildung 74b). Analysen mittels Rasterkraftmikroskopie zeigten keinen Hinweis auf eine strukturelle Ursache für die gemessenen Inhomogenitäten (Abbildung 74c).

Die gute laterale Auflösung des SHG-Signals von 1 μm ermöglichte außerdem eine recht genaue Bestimmung der Struktur der Inhomogenitäten. So können Bereiche geringer Signalintensität von Bereichen mit starker Signalintensität unterschieden werden. Die typische Längenskala der Bereiche mit ähnlicher Intensität beträgt 30 μm . In Abbildung 74a sind diese Bereiche als Punkte identifizierbar.

Zur Erklärung der Inhomogenitäten werden verschiedene Ansätze diskutiert. Am wahrscheinlichsten scheint ein Wechselspiel konkurrierender Effekte zu sein. Das elektrostatische Potential an der Grenzfläche führt zu einem konkurrierenden Verhalten zwischen elektronischer Ladungsumverteilung und einer polaren Verschiebung der Atomrümpfe [126]. Dadurch entstehen Bereiche, in denen jeweils ein Effekt dominiert. Das Aufbringen einer zweiten Lage LaAlO_3 stabilisiert die polare Verschiebung. Das SHG-Signal wird dann homogener als bei einer Schichtdicke von 1 EZ.

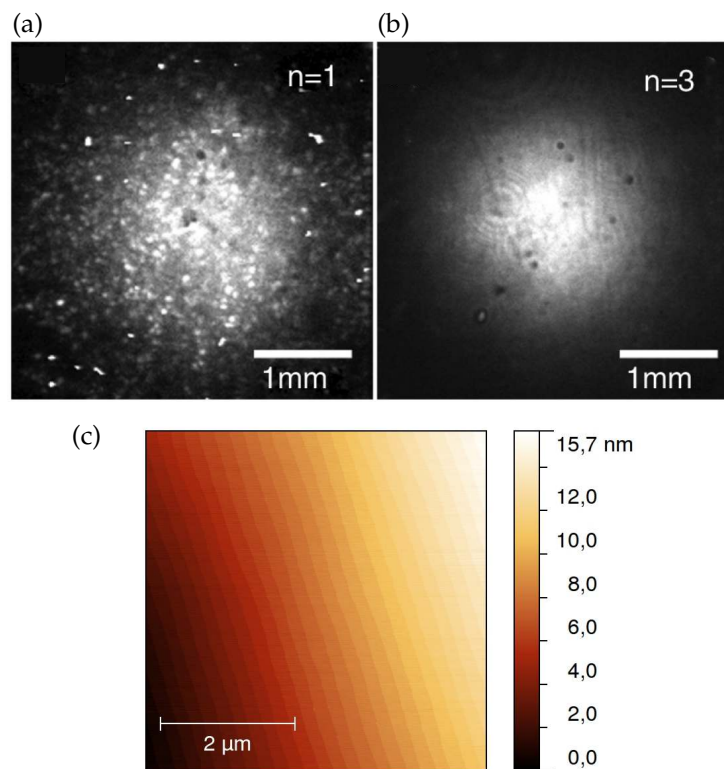


Abbildung 74

Ergebnisse der SHG-Messungen an $\text{LaAlO}_3/\text{SrTiO}_3$ -Proben mit LaAlO_3 -Schichtdicken von (a) 1 EZ und (b) 3 EZ. Im Vergleich zur 3 EZ-Probe ist das SHG der 1 EZ-Oberfläche sehr inhomogen. Die Helligkeit entspricht der Intensität des SHG-Signals. (c) Rasterkraftmikroskopische Aufnahme der Probenoberfläche, deren SHG-Daten in (a) dargestellt sind. Die Oberfläche zeigt die typische Stufenform. Es sind keinerlei strukturelle Inhomogenitäten zu erkennen. (a) und (b) aus [126].

Magnetfeldmessungen, Snir Seri

In einer Zusammenarbeit mit S. Seri (Bar-Ilan Universität, Arbeitsgruppe Prof. L. Klein) wurden zweierlei Arten von Experimenten an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen verfolgt. Zum einen wurde der Frage nachgegangen, ob es möglich ist, Elektronen spinpolarisiert in die 2-DEL zu injizieren. Zum anderen wurden Transporteigenschaften sehr schmaler Kanäle in Abhängigkeit der Zeit, der Temperatur und eines äußeren Magnetfelds bestimmt. Die Ergebnisse dieses Projektbereichs wurden in Phys. Rev. Lett. publiziert [129].

Um die Spin-Injektion an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen zu untersuchen wurden mehrere Proben mit ferromagnetischen Tunnelkontakten hergestellt. Als Kontaktmaterial wurde Cobalt ausgewählt. Abbildung 75a zeigt eines der verwendeten Layouts. Abbildung 75b zeigt die Darstellung einer rasterkraftmikroskopischen Aufnahme einer Probenoberfläche mit Co-Kontakten. Abbildung 75c zeigt eine aufgezeichnete Tunnelkennlinien.

Bei der Herstellung der Proben wurden zuerst strukturierte LaAlO_3 -Filme (Dicke 10 EZ und 4 EZ) gewachsen. Auf diese wurde *in-situ* Cobalt gesputtert (Argon-Atmosphäre $p = 0,05$ mbar, DC-Leistung $P = 30$ W). Bei einer Rate von 5 nm pro Minute wurden ca. 100 nm dicke Cobalt-Filme hergestellt. Zur Strukturierung wurden die Gateflächen mittels Photolithographie definiert. Dann wurde etwa die Hälfte der Schichtdicke des unbedeckten Films durch Ionenätzen (Ätzrate (25 ± 4) nm pro Minute), die verbleibende Schichtdicke durch Nassätzen (0,05 % -Vol. H_3PO_4 , Ätzrate (156 ± 40) nm pro Minute) entfernt. Ionenätzen verläuft im Gegensatz zum diesem Nassätzprozess anisotrop. Durch den zusätzlichen Ionenätz-Schritt kann die Nassätz-Zeit verkürzt und damit ein Unterätzen des Photolacks reduziert werden. Mit Hilfe dieses Prozessablaufs wurden circa 1 μm breite Gates hergestellt (siehe Abbildung 75b).

An den hergestellten Proben wurden zuerst in Augsburg, dann in Israel magnetfeldabhängige Transportmessungen durchgeführt. Weder mit Variation des Magnetfeldes in Richtung des Tunnelstroms noch mit Variation des Magnetfeldes senkrecht zu dieser Richtung konnte ein Hinweis auf die Abhängigkeit des Tunnelstroms von der Magnetisierungsrichtung der Elektrode gefunden werden. Es wurden dabei Magnetfeldstärken von bis zu 4 T verwendet.

Neben Cobalt wurden auch SrRuO_3 -Filme als Gateelektrode untersucht. Dazu wurden zuerst zwei Testproben angefertigt; eine Probe mit einem 20 nm dickem SrRuO_3 -Film auf einem SrTiO_3 -Substrat und eine Probe mit einem gleich dicken Film auf 4 EZ dickem LaAlO_3 auf einem SrTiO_3 -Substrat. Messungen an den Testproben haben ergeben, dass die so hergestellten SrRuO_3 -Filme leiten. Temperaturabhängige Transportmessungen mit Magnetfeld zeigen außerdem einen ferromagnetischen Übergang der BaTiO_3 -Filme nahe $T_c = 120$ K. So hergestellte Strukturen ergaben jedoch keine guten Tunnelkontakte. Tunnelexperimente an 4 EZ dickem LaAlO_3 konnten aufgrund eines Kurzschlusses zwischen 2-DEL und SrRuO_3 -Film nicht erfolgreich durchgeführt werden. Als Ursache dafür wird die Diffusion von Ruthenium in den LaAlO_3 -Film vermutet. Da mit Cobalt gute

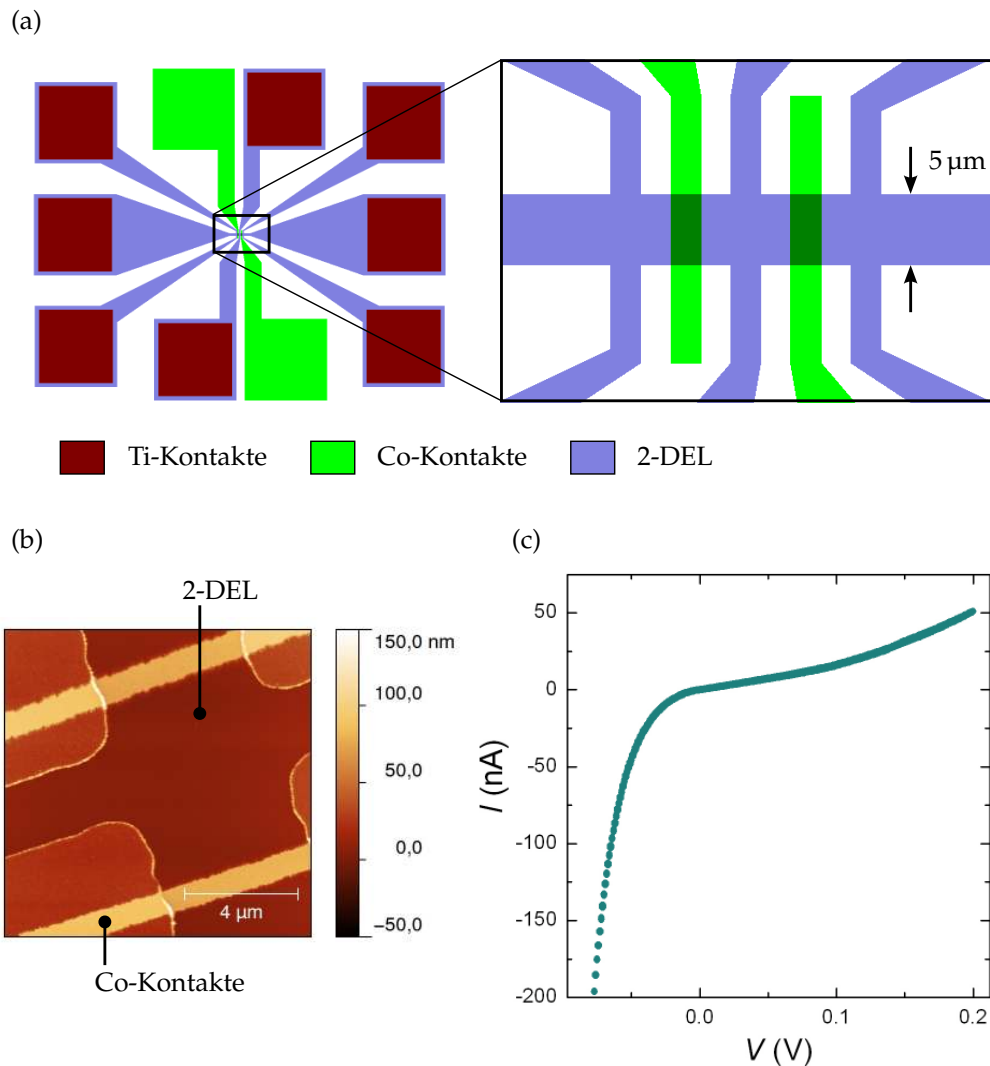


Abbildung 75

(a) Ein verwendetes Layout zu Spin-Injektions-Experimenten an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen. Die Struktur besteht aus einem langen, $5\text{ }\mu\text{m}$ breiten Steg mit 6 Spannungsabgriffen. Zwischen den Spannungsabgriffen liegen Tunnelkontakte aus Cobalt. (b) Darstellung einer rasterkraftmikroskopischen Aufnahme einer nach dem in (a) gezeigten Layout hergestellten Probe. (c) Tunnelkennlinie einer Testprobe mit 10 EZ dickem LaAlO_3 auf SrTiO_3 und Cobalt-Tunnelkontakt (Fläche circa $0,2\text{ mm}^2$). Der Kurvenverlauf gleicht den üblichen Kurvenverläufen von Au-Tunnelkontakten auf $\text{LaAlO}_3/\text{SrTiO}_3$ -Proben [58, 130]. Eine positive Polarität bedeutet, dass das positive Potential am Cobalt-Kontakt angelegt wurde.

Tunnelkontakte hergestellt werden konnten, wurden die Experimente mit SrRuO_3 nicht weiterverfolgt.

Transportmessungen von S. Seri an Proben mit besonders schmalen, langen Strukturen (Breite wenige μm) ergaben Folgendes. Der zeitliche Verlauf des Widerstands schmaler Kanäle zeigt bei tiefen Temperaturen (5 K) spontane Sprünge zu größeren Werten um bis zu 50 % des Ausgangswertes. Sprünge des gemessenen Widerstands treten auch mit angelegten Magnetfeldern und mit Variation des Messstroms auf. Beim Aufwärmen der Probe bis zu üblicher Zimmertemperatur erreichen die Widerstände ähnliche Werte, die vor dem Auftreten der Sprünge bei gleicher Temperatur bestimmt werden konnten. Der Widerstandsverlauf bei steigender Temperatur ähnelt dabei den Widerstandsverläufen, die an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen mit großer Defektdichte bestimmt werden können [58]. Details zu den Ergebnissen finden sich in der Publikation [129].

Röntgenbeugung und Ellipsometrie, Matthias Rössle

In einer Zusammenarbeit mit M. Rössle (Universität Freiburg, Arbeitsgruppe Professor C. Bernhard) wurde das System $\text{LaAlO}_3/\text{SrTiO}_3$ mit Infrarot-Ellipsometrie, Röntgenbeugungsexperimenten und Transportmessungen untersucht. Die Ergebnisse wurden von Physical Review Letters zur Publikation akzeptiert und liegen außerdem bei arXiv veröffentlicht [131, 132].

Hergestellt wurden für diese Zusammenarbeit je zwei Proben mit 3 EZ und 5,5 EZ dickem LaAlO_3 auf $10\text{ mm} \times 10\text{ mm}$ großen (lateral) SrTiO_3 -Substraten. Mit den durchgeführten Ellipsometriemessungen von M. Rössle konnte der Bereich um eine infrarot-aktive Mode des SrTiO_3 -Substrats bei einer Wellenzahl von circa 438 cm^{-1} in Abhängigkeit der Temperatur und einer Backgate-Spannung analysiert werden. Ausgewählte Spektren des Bereichs von 410 cm^{-1} bis 460 cm^{-1} sind in Abbildung 76 dargestellt. Bei Temperaturen unterhalb von 50 K und Gatespannungen von $U_g < 25\text{ V}$ konnte eine Aufspaltung des Reflexes (Peaks) bei 438 cm^{-1} beobachtet werden. Diese Aufspaltung wird durch die Entstehung einer polarisierten Schicht mit einer Dicke von circa $1\text{ }\mu\text{m}$ an der Grenzfläche erklärt. Mit einer Veränderung der Gatespannung ergibt sich außerdem ein hysteretischer Verlauf in der Stärke der Aufspaltung des Peaks. Außerdem tritt die Aufspaltung nur bei negativen Gatespannungen auf (unipolar). Proben mit nur 3 EZ dickem LaAlO_3 zeigen eine nur sehr schwache Aufspaltung dieses Peaks.

Hochauflösende Röntgenbeugungsexperimente wurden von M. Rössle am Deutschen Elektronen-Synchrotron DESY in Hamburg durchgeführt. Messungen an Proben mit 5,5 EZ dickem LaAlO_3 zeigen im reziproken Raum das Auftreten von Satellitenreflexen neben dem fundamentalen (002) Bragg-Reflex des SrTiO_3 -Substrats. Diese Satellitenreflexe treten bei tiefen Temperaturen von $T < 80\text{ K}$ und negativen Gatespannungen von $U_g = -250\text{ V}$ auf. Mit steigender Temperatur verlieren die Reflexe an Intensität, bleiben aber an derselben Stelle. Die zusätzlichen Reflexe werden durch die Bildung von unterschiedlich polarisierten Domänen mit einer Periodizität von 60 nm zugeordnet. Aufgrund des unipolaren Charakters dieses Effekts bezüglich der Gatespannung wird eine

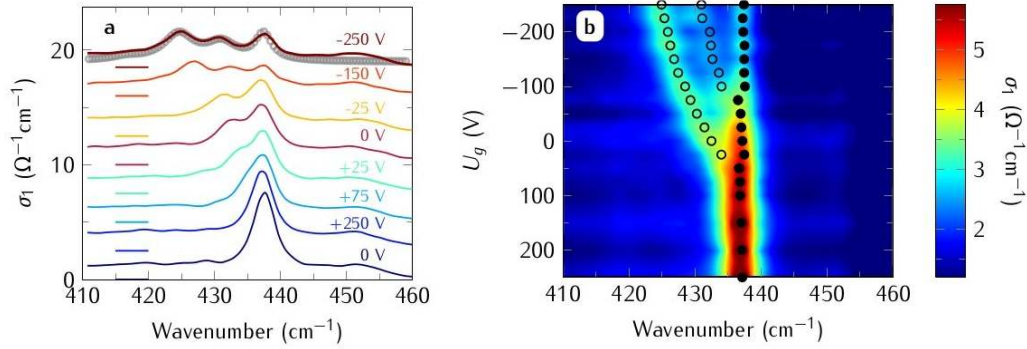


Abbildung 76

(a) Spektrum der feldabhängigen optischen Leitfähigkeit einer Probe bestehend aus 5,5 EZ dickem LaAlO_3 auf SrTiO_3 in der Umgebung eines SrTiO_3 -Phonons (R-Mode) bei $T = 10\text{ K}$. (b) Konturplot der feldabhängigen optischen Leitfähigkeiten bei $T = 10\text{ K}$. Gefüllte Kreise markieren Eigenfrequenzen des Rotation-Phonons, welches SrTiO_3 im paraelektrischen Zustand zugesprochen wird. Offene Kreise markieren Frequenzen, die einer polarisierten Grenzschicht zugesprochen werden. Aus der Dissertation von M. Roessle [133].

antiparallele Ausrichtung der Polarisierung in c -Richtung ausgeschlossen. Möglich wären Komponenten, die in der Ebene alternieren oder eine Polarisierung in nur eine c -Richtung, deren Intensität oszilliert.

Gemessen wurde an den Proben der LaAlO_3 -Schichtdicke 5,5 EZ außerdem der elektrische Widerstand in Abhängigkeit der Backgatespannung. Die Messungen ergaben für $\text{LaAlO}_3/\text{SrTiO}_3$ -Proben typische Metall-Isolator-Übergänge bei negativen Gatespannungen von circa -100 V. Mit einer Variation der Gatespannung zeigt der Widerstandsverlauf ein hysteretisches Verhalten, ähnlich dem hysteretischen Verhalten, das bei den vorher beschriebenen optischen Messungen beobachtet wurde.

Abbildung 77 stellt die gewonnenen Daten gegenüber. Der Kurvenvergleich rechtfertigt die Vermutung, dass die beobachteten Effekte denselben Ursprung haben. Die Schlussfolgerung aus den Experimenten ist, dass die strukturellen und elektronischen Eigenschaften der $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzfläche stark miteinander verbunden sind und die Ausbildung einer Grenzflächenpolarisation bei der Interpretation der Experimente an $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen künftig berücksichtigt werden sollte.

Graphen auf $\text{LaAlO}_3/\text{SrTiO}_3$, Thomas Beringer

In einer Zusammenarbeit mit T. Beringer (Max Planck Institut für Festkörperforschung, Stuttgart, Arbeitsgruppe Dr. J. Smet) wurden die elektronischen Eigenschaften von Graphen auf $\text{LaAlO}_3/\text{SrTiO}_3$ -Heterostrukturen mit 4 EZ und 8 EZ dickem LaAlO_3 untersucht. Der Aufbau der untersuchten Proben ist in Abbildung 78 schematisch dargestellt. Die LaAlO_3 -Filme für diese Proben wurden in Augsburg hergestellt. Aufbringung, Strukturierung und Kontaktierung des Graphens wurden von T. Beringer in Stuttgart durchgeführt. Die $\text{LaAlO}_3/\text{SrTiO}_3$ -Grenzflächen wurden in Augsburg kontaktiert.

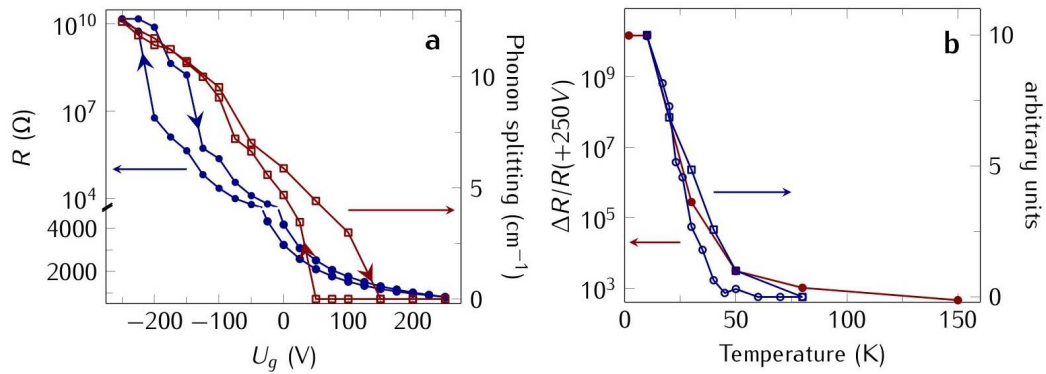


Abbildung 77

Zu den Ergebnissen der Untersuchungen von M. Rössle. (a) Vergleich der hysteretischen Gatespannungs-Abhängigkeit des Widerstands und der Auspaltung der R-Mode aus den Ellipsometrie-Messungen. (b) Vergleich der Temperaturabhängigkeit des normierten Widerstandsänderung (rote Kurve) mit der Intensität der zusätzlichen Röntgenreflexe (blaue Quadrate) und der Intensität der Aufspaltung der R-mode (blaue Kreise). Der Temperaturverlauf der drei Kurven verläuft sehr ähnlich. Grafiken aus [133].

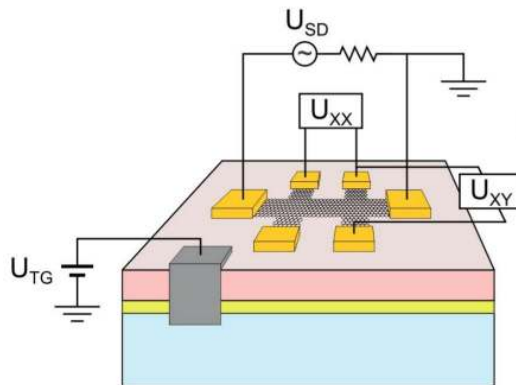


Abbildung 78

Schematische Darstellung der untersuchten Heterostruktur basierend auf Graphen auf LaAlO₃/SrTiO₃. Das zweidimensionale Elektronensystem der LaAlO₃/SrTiO₃-Grenzfläche bildet das Gate des Graphen FETs.

Aus den Messungen von T. Beringer geht unter anderem hervor, dass sowohl adsorbierende Fremdstoffe sowie geladene Störstellen aus den oberen LaAlO₃/SrTiO₃-Schichten einen Einfluss auf die Ladungsträgerinhomogenität im Graphen haben. Die Mobilitäten des Graphen-Kanals sind um einen Faktor 10 kleiner als auf SiO₂/Si-Substraten. Es konnten Shubnikov-de Haas Oszillationen sowie der Quanten-Hall Effekt im Graphen nachgewiesen werden.

Eine der untersuchten Proben lieferten einen Hinweis dafür, dass die LaAlO₃/SrTiO₃-Grenzfläche bei $T_c=150$ mK supraleitend wird. Die Messung konnte allerdings nur in Zweipunktkonfiguration durchgeführt werden. Mit einem Magnetfeld von $B = 50$ mT konnte die Supraleitung unterdrückt werden.

B Kapazitätsbestimmungen

Die Kapazitätsmessungen an den in dieser Arbeit untersuchten Transistoren wurden fast ausschließlich mit einem LCR -Meter Modell HP 4284 der Firma HP durchgeführt. Das Gerät kann ein kleines Wechselspannungssignal der Frequenz f ausgeben und dabei die Phasenbeziehung zwischen der Ausgangsspannung und den durch die Probe (DUT) fließenden Strom bestimmen. Es handelt sich also um einen dynamischen Modus. Zusätzlich zur AC-Spannung kann ein DC-Offset ausgegeben werden. Phasenwinkel und Amplitude werden durch kapazitive, induktive und ohmsche Beiträge des DUT bestimmt. Das LCR -Meter misst den Wirkwiderstand R_{meas} sowie den Blindwiderstand X_{meas} . Äquivalent dazu kann das LCR -Meter auch Scheinwiderstand $Z = (R^2 + Z^2)^{0,5}$ und Phasenwinkel φ bestimmen.

Transistoren mit beliebig kleinem Kanalwiderstand sowie beliebig hohem Gatewiderstand verhalten sich wie ideale Kondensatoren. Der zur Wechselspannung phasengleiche Strom ist daher Null und die Impedanz beträgt $\underline{Z}_C = j/(2\pi fC)$, der Phasenwinkel $\varphi = -90^\circ$ und der Scheinwiderstand $Z_C = -1/(2\pi fC)$. Transistoren mit endlichen aber hohen Gatewiderständen und vergleichsweise geringen Kanalwiderständen zeigen eine solche Impedanz. Der gemessene Phasenwinkel liegt nahe bei $\varphi = -90^\circ$.

Die Messung wird problematisch, wenn der Gatewiderstand klein und/oder der Kanalwiderstand groß wird. Dies geschieht beim Schalten des Transistors. Die Impedanz des Transistors wird dann besser beschrieben durch eine Parallelschaltung eines ohmschen Widerstands und einer Kapazität oder durch eine Serienschaltung dieser beiden Bauteile. Beide Schaltungen sind plausible Näherungen, die natürlich nicht das ganze System vollständig und korrekt beschreiben. Aus den Messwerten R_{meas} und X_{meas} lassen sich Kapazität und Widerstand für je Parallel- und Serienschaltung berechnen nach:

$$R_{\text{ser}} = R_{\text{meas}} \quad (27)$$

$$C_{\text{ser}} = 1/(2\pi f X_{\text{meas}}) \quad (28)$$

$$R_{\text{par}} = \frac{R_{\text{meas}}^2 + X_{\text{meas}}^2}{R_{\text{meas}}} \quad (29)$$

$$C_{\text{par}} = \frac{X_{\text{meas}}}{2\pi f X_{\text{meas}}^2 + 2\pi f R_{\text{meas}}^2} \quad (30)$$

Bei kleinen Amplituden und großen Werten Z wird das Messsignal unter Umständen sehr klein. Schwierig ist also eine Messung mit konstanter Amplitude und großer Kapazitäts- und Widerstandsänderung.

Diese verwendete Messmethode erwies sich als geeignet zur Bestimmung der Gatekapazitäten. Die Zuverlässigkeit der Messwerte wurde durch eine alternative Methode überprüft. Bei dieser Methode wurde eine DC-Spannung an die Probe angelegt und der auf- und abfließende Strom gemessen. Die Integration der Ladekurven bestätigte dynamisch bestimmte C-Messwerte.

Danksagung

Mein herzlicher Dank gilt meinem Doktorvater, Professor Jochen Mannhart, für die Überlassung dieses spannenden Themas. Außerdem bedanke ich mich für sein entgegengebrachtes Vertrauen und die große Unterstützung, die ich im Laufe meiner Arbeit erfahren durfte.

Professor Achim Wixforth danke ich ebenfalls sehr herzlich für die freundliche Übernahme des Zweitgutachtens.

Ich danke allen Mitarbeitern des Lehrstuhls Experimentalphysik 6 für die gute, gemeinschaftliche Zusammenarbeit, die ausgezeichneten Arbeitsbedingungen und auch eine ganze Menge Spaß. Besonders bedanken möchte ich mich bei Professor Thilo Kopp und German Hammerl für die Unterstützung meiner Arbeit und ein stets offenes Ohr für Probleme.

Bei Martin Breitschaft bedanke ich mich für seine geduldige Hilfe bei allen schaltungstechnischen und physikalischen Fragestellungen der Rasterkraftmikroskopie und des qPlus-Aufbaus. Für die Einweisung in die Kunst des Linienschreibens danke ich Cyril Stephanos, keiner hätte das besser machen können. Außerdem danke ich ihm und Stefan Meir für jede Menge Spaß in unserer gemeinsamen Büro-Zeit und darüber hinaus.

Meinem ersten und vielleicht letzten Bürokollegen am Lehrstuhl, Christoph Richter, danke ich sehr für die zahlreichen Diskussionen über Transistoren und Inverter-Kennlinien, erfrischende Ideen und wesentliche Beiträge in Sachen Messtechnik, Hardware und Software, und eine echt coole Zeit im Büro.

Klaus Wiedenmann danke ich für die schnelle Hilfe bei nahezu allen Problemen, die im Labor- und Büroalltag auftraten. Darüber hinaus auch für erheiternde Gespräche sowie sachliche und unsachliche Diskussionen im Rahmen gemütlicher Kaffeerunden zu unchristlichen Uhrzeiten. Alexander Herrnberger danke ich ebenfalls für seine Hilfsbereitschaft bei allen elektrotechnischen Fragestellungen.

Viel Dank gebührt außerdem Eleonore Saladie und Birgitta Eisenschmid für die Hilfe und Unterstützung bei allen organisatorischen, verwaltungstechnischen und rechtlichen Angelegenheiten oder Problemen.

Für die Unterstützung meiner Arbeit und eine gute, freundschaftliche Atmosphäre am Lehrstuhl danke ich außerdem René Berkold, Benjamin Förg, Georg Pfanzelt, Andreas Schmehl, Veronika Tinkl und Carsten Woltmann. Ich danke auch allen stets motivierten Teilnehmern der regelmäßigen Dart-Turniere.

Meiner Familie möchte ich besonders danken. Dafür, dass sie mich in jeder Phase meines Lebens unterstützt haben und immer für mich da waren.

Zuletzt danke ich meiner Verlobten Caroline Fünfer für die wunderbare Zeit, die wir gemeinsam verbringen durften und hoffentlich noch verbringen dürfen. Dafür, dass sie sich nicht für Physik interessiert und trotzdem so viel Verständnis auch in arbeitsintensiven Zeiten aufbringt und mich unterstützt.

Literatur

- [1] S. Chih-Tang. *Evolution of the MOS transistor-from conception to VLSI*. Proceedings of the IEEE Bd. 76, S. 1280 , 1988.
- [2] R. Arns. *The other transistor: early history of the metal-oxide semiconductor field-effect transistor*. Engineering Science and Education Journal Bd. 7, S. 233 , 1998.
- [3] R. W. Keyes. *Physical limits of silicon transistors and circuits*. Reports on Progress in Physics Bd. 68, S. 2701, 2005.
- [4] W. Brinkman, D. Haggan und W. Troutman. *A history of the invention of the transistor and where it will lead us*. IEEE Journal of Solid-State Circuits Bd. 32, S. 1858 , 1997.
- [5] G. E. Moore. *Cramming more components onto integrated circuits*. Proceedings of the IEEE Bd. 86, S. 82, 1998.
- [6] ITRS, 2010. <http://public.itrs.net>.
- [7] S. M. Sze und K. K. Ng. *Physics of Semiconductor Devices*. Wiley-Interscience, Hoboken, NJ, 3 Aufl., 2007.
- [8] M. Jeong, V. Narayanan, D. Singh, A. Topol, V. Chan und Z. Ren. *Transistor scaling with novel materials*. Materials Today Bd. 9, S. 26, 2006.
- [9] R. F. Service. *Is silicon's reign nearing its end?* Science Bd. 323, S. 1000, 2009.
- [10] J. Mannhart und D. G. Schlom. *Oxide interfaces – an opportunity for electronics*. Science Bd. 327, S. 1607 , 2010.
- [11] L. Chang und H. Yu. *The germanium insulated-gate field-effect transistor (FET)*. Proceedings of the IEEE Bd. 53, S. 316 , 1965.
- [12] P. Ye, G. Wilk, J. Kwo, B. Yang, H.-J. Gossmann, M. Frei, S. Chu, J. Mannaerts, M. Sergeant, M. Hong, K. Ng und J. Bude. *GaAs MOSFET with oxide gate dielectric grown by atomic layer deposition*. IEEE Electron Device Letters Bd. 24, S. 209 , 2003.
- [13] C. Tsai, T. Wu und A. Chin. *High-performance GaN MOSFET with high- κ gate dielectric*. IEEE Electron Device Letters Bd. 33, S. 35 , 2012.
- [14] H. Ibach und H. Lüth. *Festkörperphysik*. Springer, 7 Aufl., 2009.
- [15] H. J. M. Veendrick. *MOS ICs*. VCH Verlagsgesellschaft mbH, 1992.
- [16] Y. Taur. *CMOS design near the limit of scaling*. IBM Journal of Research and Development Bd. 46, S. 213 , 2002.
- [17] Intel GmbH, Dornacher Strasse 1, D-85622 Feldkirchen/Muenchen, Deutschland, 2012. www.intel.de.
- [18] D. J. Frank. *Power-constrained CMOS scaling limits*. IBM Journal of Research and Development Bd. 46, S. 235 , 2002.

- [19] R. Dingle, H. L. Störmer, A. C. Gossard und W. Wiegmann. *Electron mobilities in modulation-doped semiconductor heterojunction superlattices*. Applied Physics Letters Bd. 33, S. 665, 1978.
- [20] Y. Taur, G. Hu, R. Dennard, L. Terman, C.-Y. Ting und K. Petrillo. *A self-aligned 1 μ m-channel CMOS technology with retrograde n-well and thin epitaxy*. IEEE Transactions on Electron Devices Bd. 32, S. 203 , 1985.
- [21] S. Salahuddin und S. Datta. *Use of negative capacitance to provide voltage amplification for low power nanoscale devices*. Nano Letters Bd. 8, S. 405, 2007.
- [22] A. M. Ionescu und H. Riel. *Tunnel field-effect transistors as energy-efficient electronic switches*. Nature Bd. 479, S. 329, 2011.
- [23] W.-C. Shin, K. Remashan und J.-H. Jang. *Ring oscillator circuit based on ZnO thin-film transistors fabricated by RF magnetron sputtering*. Journal of the Korean Physical Society Bd. 55, S. 1514, 2009.
- [24] D. Kälblein, R. T. Weitz, H. J. Böttcher, F. Ante, U. Zschieschang, K. Kern und H. Klauk. *Top-gate ZnO nanowire transistors and integrated circuits with ultrathin self-assembled monolayer gate dielectric*. Nano Letters Bd. 11, S. 5309, 2011.
- [25] M. Halik, H. Klauk, U. Zschieschang, G. Schmid, C. Dehm, M. Schütz, S. Maisch, F. Effenberger, M. Brunnbauer und F. Stellacci. *Low-voltage organic transistors with an amorphous molecular gate dielectric*. Nature Bd. 431, S. 963, 2004.
- [26] U. Zschieschang, F. Ante, T. Yamamoto, K. Takimiya, H. Kuwabara, M. Ikeda, T. Sekitani, T. Someya, K. Kern und H. Klauk. *Flexible low-voltage organic transistors and circuits based on a high-mobility organic semiconductor with good air stability*. Advanced Materials Bd. 22, S. 982–985, 2010.
- [27] A. D. Franklin und Z. Chen. *Length scaling of carbon nanotube transistors*. Nature Nanotechnology Bd. 5, S. 858, 2010.
- [28] A. D. Franklin, M. Luisier, S.-J. Han, G. Tulevski, C. M. Breslin, L. Gignac, M. S. Lundstrom und W. Haensch. *Sub-10 nm carbon nanotube transistor*. Nano Letters Bd. 12, S. 758, 2012.
- [29] H. Ryu, D. Kälblein, O. G. Schmidt und H. Klauk. *Unipolar sequential circuits based on individual-carbon-nanotube transistors and thin-film carbon resistors*. ACS Nano Bd. 5, S. 7525, 2011.
- [30] J. Mannhart, J. G. Bednorz, K. A. Müller und D. G. Schlom. *Electric field effect on superconducting $\text{YBa}_2\text{Cu}_3\text{O}_{7-x}$ films*. Zeitschrift für Physik B Condensed Matter Bd. 83, S. 307, 1991.
- [31] S.-G. Lim, S. Kriventsov, T. N. Jackson, J. H. Haeni, D. G. Schlom, A. M. Balbashov, R. Uecker, P. Reiche, J. L. Freeouf und G. Lucovsky. *Dielectric functions and optical bandgaps of high-k dielectrics for metal-oxide-semiconductor field-effect transistors by far ultraviolet spectroscopic ellipsometry*. Journal of Applied Physics Bd. 91, S. 4500, 2002.

- [32] E. Y. Tsymbal, E. R. A. Dagotto, C.-B. Eom und R. Ramesh. *Multifunctional Oxide Heterostructures*. OUP Oxford, 2012.
- [33] K. van Benthem, C. Elsässer und R. H. French. *Bulk electronic structure of SrTiO₃: Experiment and theory*. Journal of Applied Physics Bd. 90, S. 6156, 2001.
- [34] A. von Hippel. *Ferroelectricity, domain structure, and phase transitions of barium titanate*. Reviews of Modern Physics Bd. 22, S. 221, 1950.
- [35] J. H. Haeni, P. Irvin, W. Chang, R. Uecker, P. Reiche, Y. L. Li, S. Choudhury, W. Tian, M. E. Hawley, B. Craigo, A. K. Tagantsev, X. Q. Pan, S. K. Streiffer, L. Q. Chen, S. W. Kirchoefer, J. Levy und D. G. Schlom. *Room-temperature ferroelectricity in strained SrTiO₃*. Nature Bd. 430, S. 758, 2004.
- [36] A. Callaghan, C. W. Moeller und R. Ward. *Magnetic interactions in ternary ruthenium oxides*. Inorganic Chemistry Bd. 5, S. 1572, 1966.
- [37] J. Xia, W. Siemons, G. Koster, M. R. Beasley und A. Kapitulnik. *Critical thickness for itinerant ferromagnetism in ultrathin films of SrRuO₃*. Physical Review B Bd. 79, S. 140407, 2009.
- [38] G. Catalan und J. F. Scott. *Physics and applications of bismuth ferrite*. Advanced Materials Bd. 21, S. 2463–2485, 2009.
- [39] J. F. Schooley, W. R. Hosler und M. L. Cohen. *Superconductivity in semiconducting SrTiO₃*. Physical Review Letters Bd. 12, S. 474, 1964.
- [40] M. K. Wu, J. R. Ashburn, C. J. Torng, P. H. Hor, R. L. Meng, L. Gao, Z. J. Huang, Y. Q. Wang und C. W. Chu. *Superconductivity at 93 k in a new mixed-phase Y-Ba-Cu-O compound system at ambient pressure*. Physical Review Letters Bd. 58, S. 908, 1987.
- [41] I. H. Inoue. *Electrostatic carrier doping to perovskite transition-metal oxides*. Semiconductor Science and Technology Bd. 20, S. S112, 2005.
- [42] S. O. Kasap. *Principles of Electronic Materials and Devices, Third Edition*. Tata McGraw-Hill Publishing Company Limited, 2006.
- [43] C. N. R. Rao. *Transition metal oxides*. Annual Review of Physical Chemistry Bd. 40, S. 291, 1989.
- [44] Z. Yang, C. Ko und S. Ramanathan. *Oxide electronics utilizing ultrafast metal-insulator transitions*. Annual Review of Materials Research Bd. 41, S. 337, 2011.
- [45] C. H. Ahn, J.-M. Triscone und J. Mannhart. *Electric field effect in correlated oxide systems*. Nature Bd. 424, S. 1015, 2003.
- [46] C. H. Ahn, A. Bhattacharya, M. Di Ventura, J. N. Eckstein, C. D. Frisbie, M. E. Gershenson, A. M. Goldman, I. H. Inoue, J. Mannhart, A. J. Millis, A. F. Morpurgo, D. Natelson und J.-M. Triscone. *Electrostatic modification of novel materials*. Reviews of Modern Physics Bd. 78, S. 1185, 2006.

- [47] L. Ju, H. C. Kwon, Q. Li, L. Greene, R. und T. Venkatesan. *Giant magnetoresistance in $\text{La}_{1-x}\text{Sr}_x\text{MnO}_3$ films near room temperature*. Applied Physics Letters Bd. 65, 1994.
- [48] C. H. Ahn, K. M. Rabe und J.-M. Triscone. *Ferroelectricity at the nanoscale: Local polarization in oxide thin films and heterostructures*. Science Bd. 303, S. 488 , 2004.
- [49] G. Rijnders und D. H. A. Blank. *Materials science: Build your own superlattice*. Nature Bd. 433, S. 369, 2005.
- [50] E. Dagotto. *When oxides meet face to face*. Science Bd. 318, S. 1076, 2007.
- [51] A. Tsukazaki, A. Ohtomo, T. Kita, Y. Ohno, H. Ohno und M. Kawasaki. *Quantum hall effect in polar oxide heterostructures*. Science Bd. 315, S. 1388, 2007.
- [52] S. B. Ogale. *Thin Films and Heterostructures for Oxide Electronics*. Multifunctional Thin Film Series. Springer Science+Business Media, 2005.
- [53] M. Breitschaft, V. Tinkl, N. Pavlenko, S. Paetel, C. Richter, J. R. Kirtley, Y. C. Liao, G. Hammerl, V. Eyert, T. Kopp und J. Mannhart. *Two-dimensional electron liquid state at LaAlO_3 - SrTiO_3 interfaces*. Physical Review B Bd. 81, S. 153414, 2010.
- [54] T. Kopp und J. Mannhart. *Calculation of the capacitances of conductors: Perspectives for the optimization of electronic devices*. Journal of Applied Physics Bd. 106, S. 064504, 2009.
- [55] A. Ohtomo und H. Y. Hwang. *A high-mobility electron gas at the $\text{LaAlO}_3/\text{SrTiO}_3$ heterointerface*. Nature Bd. 427, S. 423, 2004.
- [56] S. Thiel, G. Hammerl, A. Schmehl, C. W. Schneider und J. Mannhart. *Tunable quasi-two-dimensional electron gases in oxide heterostructures*. Science Bd. 313, S. 1942 , 2006.
- [57] M. Basletic, J.-L. Maurice, C. Carretero, G. Herranz, O. Copie, M. Bibes, E. Jacquet, K. Bouzehouane, S. Fusil und A. Barthelémy. *Mapping the spatial distribution of charge carriers in $\text{LaAlO}_3/\text{SrTiO}_3$ heterostructures*. Nature Materials Bd. 7, S. 621, 2008.
- [58] S. P. Thiel. *Study of interface properties in $\text{LaAlO}_3/\text{SrTiO}_3$ heterostructures*. Dissertation, Universität Augsburg, 2009.
- [59] A. Brinkman, M. Huijben, M. van Zalk, J. Huijben, U. Zeitler, J. C. Maan, W. G. van der Wiel, G. Rijnders, D. H. A. Blank und H. Hilgenkamp. *Magnetic effects at the interface between non-magnetic oxides*. Nature Materials Bd. 6, S. 493, 2007.
- [60] N. Reyren, S. Thiel, A. D. Caviglia, L. F. Kourkoutis, G. Hammerl, C. Richter, C. W. Schneider, T. Kopp, A.-S. Rüetschi, D. Jaccard, M. Gabay, D. A. Muller, J.-M. Triscone und J. Mannhart. *Superconducting interfaces between insulating oxides*. Science Bd. 317, S. 1196 , 2007.
- [61] A. D. Caviglia, S. Gariglio, N. Reyren, D. Jaccard, T. Schneider, M. Gabay, S. Thiel, G. Hammerl, J. Mannhart und J.-M. Triscone. *Electric field control of the $\text{LaAlO}_3/\text{SrTiO}_3$ interface ground state*. Nature Bd. 456, S. 624, 2008.

- [62] C. Richter. *Untersuchung des Feldeffektes an SrTiO₃/LaAlO₃-Heterostrukturen*. Diplomarbeit, 2007.
- [63] Y. C. Liao, T. Kopp, C. Richter, A. Rosch und J. Mannhart. *Metal-insulator transition of the LaAlO₃-SrTiO₃ interface electron system*. Physical Review B Bd. 83, S. 075402, 2011.
- [64] H.-M. Christen, J. Mannhart, E. J. Williams und C. Gerber. *Dielectric properties of sputtered SrTiO₃ films*. Physical Review B Bd. 49, S. 12095, 1994.
- [65] P. Delugas, V. Fiorentini und A. Filippetti. *Dielectric properties of long-wavelength optical modes of the high- κ oxide LaAlO₃*. Physical Review B Bd. 71, S. 134302, 2005.
- [66] L. Li, C. Richter, S. Paetel, T. Kopp, J. Mannhart und R. C. Ashoori. *Very large capacitance enhancement in a two-dimensional electron system*. Science Bd. 332, S. 825 , 2011.
- [67] V. Tinkl, M. Breitschaft, C. Richter und J. Mannhart. *Large negative electronic compressibility of LaAlO₃-SrTiO₃ interfaces with ultrathin LaAlO₃ layers*. Physical Review B Bd. 86, S. 075116, 2012.
- [68] S. Kravchenko, V. Pudalov und S. Semenchinsky. *Negative density of states of 2D electrons in a strong magnetic field*. Physics Letters A Bd. 141, S. 71, 1989.
- [69] G. Allison, E. A. Galaktionov, A. K. Savchenko, S. S. Safonov, M. M. Fogler, M. Y. Simmons und D. A. Ritchie. *Thermodynamic density of states of two-dimensional GaAs systems near the apparent metal-insulator transition*. Physical Review Letters Bd. 96, S. 216407, 2006.
- [70] S. Ilani, L. a. K. Donev, M. Kindermann und P. L. McEuen. *Measurement of the quantum capacitance of interacting electrons in carbon nanotubes*. Nature Physics Bd. 2, S. 687, 2006.
- [71] B. Foerg, C. Richter und J. Mannhart. *Field-effect devices utilizing LaAlO₃-SrTiO₃ interfaces*. Applied Physics Letters Bd. 100, S. 053506, 2012.
- [72] B. Förg, C. Richter und J. Mannhart. *Field-effect devices utilizing LaAlO₃-SrTiO₃ interfaces*. Applied Physics Letters Bd. 100, S. 053506, 2012.
- [73] R. Arras, V. G. Ruiz, W. E. Pickett und R. Pentcheva. *Tuning the two-dimensional electron gas at the LaAlO₃/SrTiO₃(001) interface by metallic contacts*. Physical Review B Bd. 85, S. 125404, 2012.
- [74] C. Cen, S. Thiel, G. Hammerl, C. W. Schneider, K. E. Andersen, C. S. Hellberg, J. Mannhart und J. Levy. *Nanoscale control of an interfacial metal-insulator transition at room temperature*. Nature Materials Bd. 7, S. 298, 2008.
- [75] C. Stephanos, M. Breitschaft, R. Jany, B. Kiessig, S. Paetel, C. Richter und J. Mannhart. *Writing nanowires with large conductivity ratios in LaAlO₃/SrTiO₃ interfaces*. Journal of the Physical Society of Japan Bd. 81, S. 064703, 2012.

- [76] Y. Xie, C. Bell, T. Yajima, Y. Hikita und H. Y. Hwang. *Charge writing at the $\text{LaAlO}_3/\text{SrTiO}_3$ surface*. Nano Letters Bd. 10, S. 2588, 2010.
- [77] G. Rijnders und D. H. A. Blank. *Perovskite oxides: An atomic force pencil and eraser*. Nature Materials Bd. 7, S. 270, 2008.
- [78] C. Cen, S. Thiel, J. Mannhart und J. Levy. *Oxide nanoelectronics on demand*. Science Bd. 323, S. 1026, 2009.
- [79] D. F. Bogorin, C. W. Bark, H. W. Jang, C. Cen, C. M. Folkman, C.-B. Eom und J. Levy. *Nanoscale rectification at the $\text{LaAlO}_3/\text{SrTiO}_3$ interface*. Applied Physics Letters Bd. 97, S. 013102, 2010.
- [80] G. Cheng, P. F. Siles, F. Bi, C. Cen, D. F. Bogorin, C. W. Bark, C. M. Folkman, J.-W. Park, C.-B. Eom, G. Medeiros-Ribeiro und J. Levy. *Sketched oxide single-electron transistor*. Nature Nanotechnology Bd. 6, S. 343, 2011.
- [81] P. R. Willmott, S. A. Pauli, R. Herger, C. M. Schlepütz, D. Martoccia, B. D. Patterson, B. Delley, R. Clarke, D. Kumah, C. Cionca und Y. Yacoby. *Structural basis for the conducting interface between LaAlO_3 and SrTiO_3* . Physical Review Letters Bd. 99, S. 155502, 2007.
- [82] N. Nakagawa, H. Y. Hwang und D. A. Muller. *Why some interfaces cannot be sharp*. Nature Materials Bd. 5, S. 204, 2006.
- [83] D. G. Schlom und J. Mannhart. *Oxide electronics: Interface takes charge over Si*. Nature Materials Bd. 10, S. 168, 2011.
- [84] H. Y. Hwang. *Tuning interface states*. Science Bd. 313, S. 1895, 2006.
- [85] F. Bi, D. F. Bogorin, C. Cen, C. W. Bark, J.-W. Park, C.-B. Eom und J. Levy. *„Water-cycle“ mechanism for writing and erasing nanostructures at the $\text{LaAlO}_3/\text{SrTiO}_3$ interface*. Applied Physics Letters Bd. 97, S. 173110, 2010.
- [86] M. F. C. R. A. McKee, F. J. Walker. *Crystalline oxides on silicon: The first five monolayers*. Physical Review Letters Bd. 81, 1998.
- [87] K. J. Hubbard und D. G. Schlom. *Thermodynamic stability of binary oxides in contact with silicon*. Journal of Materials Research Bd. 11, S. 2757, 1996.
- [88] G. M. Pfanzelt. *Verwendung ferroelektrischer BaTiO_3 -Filme zum Schalten eines zweidimensionalen Elektronensystems*. Masterarbeit, Universität Augsburg, 2011.
- [89] C. Wagner und N. Harned. *EUV lithography: Lithography gets extreme*. Nature Photonics Bd. 4, S. 24, 2010.
- [90] CrysTec GmbH, Köpenicker Str. 325, D-12555 Berlin, Deutschland. <http://www.crystec.de>.
- [91] M. Kawasaki, K. Takahashi, T. Maeda, R. Tsuchiya, M. Shinohara, O. Ishiyama, T. Yonezawa, M. Yoshimoto und H. Koinuma. *Atomic control of the SrTiO_3 crystal surface*. Science Bd. 266, S. 1540, 1994.

- [92] G. Koster, B. L. Kropman, G. J. H. M. Rijnders, D. H. A. Blank und H. Rogalla. *Quasi-ideal strontium titanate crystal surfaces through formation of strontium hydroxide*. Applied Physics Letters Bd. 73, S. 2920, 1998.
- [93] H. M. Christen und G. Eres. *Recent advances in pulsed-laser deposition of complex oxides*. Journal of Physics: Condensed Matter Bd. 20, S. 264005, 2008.
- [94] Plano GmbH, Ernst-Befort-Strasse 12, D-35578 Wetzlar, Deutschland. <http://www.plano-em.de/>.
- [95] F. C. Frank und J. H. v. d. Merwe. *One-dimensional dislocations. i. static theory*. Proceedings of the Royal Society of London. Series A, Mathematical and Physical Sciences Bd. 198, S. 205, 1949. ArticleType: research-article / Full publication date: Aug. 15, 1949 / Copyright © 1949 The Royal Society.
- [96] A. W. M. Volmer. *Nucleus formation in supersaturated systems*. Zeitschrift für Physikalische Chemie Bd. 119, S. 277, 1926.
- [97] L. K. I. N. Stranski. *Theory of orientation separation of ionic crystals*. Akad. Wiss. Math.-Naturw. Klasse IIb Bd. 146, S. 797, 1938.
- [98] A. Sambri, S. Amoruso, X. Wang, F. M. Granozio und R. Bruzzese. *Plume propagation dynamics of complex oxides in oxygen*. Journal of Applied Physics Bd. 104, S. 053304, 2008.
- [99] J. Choi, C. B. Eom, G. Rijnders, H. Rogalla und D. H. A. Blank. *Growth mode transition from layer by layer to step flow during the growth of heteroepitaxial SrRuO₃ on (001) SrTiO₃*. Applied Physics Letters Bd. 79, S. 1447, 2001.
- [100] N. J. C. Ingle, A. Yuskas, R. Wicks, M. Paul und S. Leung. *The structural analysis possibilities of reflection high energy electron diffraction*. Journal of Physics D: Applied Physics Bd. 43, S. 133001, 2010.
- [101] S. Ino. *Some new techniques in reflection high energy electron diffraction (RHEED) application to surface structure studies*. Japanese Journal of Applied Physics Bd. 16, S. 891, 1977.
- [102] G. J. H. M. Rijnders, G. Koster, D. H. A. Blank und H. Rogalla. *In situ monitoring during pulsed laser deposition of complex oxides using reflection high energy electron diffraction under high oxygen pressure*. Applied Physics Letters Bd. 70, S. 1888, 1997.
- [103] A. Visinoiu, M. Alexe, H. N. Lee, D. N. Zakharov, A. Pignolet, D. Hesse und U. Gösele. *Initial growth stages of epitaxial BaTiO₃ films on vicinal SrTiO₃ (001) substrate surfaces*. Journal of Applied Physics Bd. 91, S. 10157, 2002.
- [104] C. W. Schneider, S. Thiel, G. Hammerl, C. Richter und J. Mannhart. *Microlithography of electron gases formed at interfaces in oxide heterostructures*. Applied Physics Letters Bd. 89, S. 122101, 2006.
- [105] MicroChemicals GmbH, Schillerstrasse 18, D-89077 Ulm, Deutschland. *Lithographie*, 2012. www.microchemicals.com/brochure.html.

- [106] F. J. Giessibl. *Atomic resolution on Si(111)-(7×7) by noncontact atomic force microscopy with a force sensor based on a quartz tuning fork*. Applied Physics Letters Bd. 76, S. 1470, 2000.
- [107] NanoWorld AG, Rue Jaquet-Droz 1, CH-2002 Neuchatel, Schweiz, 2012. <http://www.nanosensors.com>.
- [108] Epoxy Technology, Inc., 14 Fortune Drive, Billerica, MA 01821, USA, 2012. <https://www.epotek.com>.
- [109] M. Breitschaft. *Elektronische Charakterisierung von LaAlO₃-SrTiO₃-Grenzflächen mittels Rastertunnelspektroskopie*. Dissertation, Universität Augsburg, Augsburg, 2010.
- [110] Nanosurf GmbH, Rheinstrasse 5, D-63225 Langen, Deutschland. <http://www.nanosurf.com>.
- [111] F. J. Giessibl. *A direct method to calculate tip-sample forces from frequency shifts in frequency-modulation atomic force microscopy*. Applied Physics Letters Bd. 78, S. 123, 2001.
- [112] D. K. Schroder. *Semiconductor Material and Device Characterization*. John Wiley & Sons, Inc., Hoboken, New Jersey, 2006.
- [113] A. Ortiz-Conde, F. Garcá Sánchez, J. Liou, A. Cerdeira, M. Estrada und Y. Yue. *A review of recent MOSFET threshold voltage extraction methods*. Microelectronics Reliability Bd. 42, S. 583, 2002.
- [114] R. Jany. *Herstellung und Charakterisierung von LaAlO₃/SrTiO₃ Dioden*. Diplomarbeit, 2009.
- [115] L. F. Edge, D. G. Schlom, P. Sivasubramani, R. M. Wallace, B. Holländer und J. Schubert. *Electrical characterization of amorphous lanthanum aluminate thin films grown by molecular-beam deposition on silicon*. Applied Physics Letters Bd. 88, S. 112907, 2006.
- [116] D. J. Kim, J. Y. Jo, Y. S. Kim, Y. J. Chang, J. S. Lee, J.-G. Yoon, T. K. Song und T. W. Noh. *Polarization relaxation induced by a depolarization field in ultrathin ferroelectric BaTiO₃ capacitors*. Physical Review Letters Bd. 95, S. 237602, 2005.
- [117] R. Jany, M. Breitschaft, G. Hammerl, A. Horsche, C. Richter, S. Paetel, J. Mannhart, N. Stucki, N. Reyren, S. Gariglio, P. Zubko, A. D. Caviglia und J. M. Triscone. *Diodes with breakdown voltages enhanced by the metal-insulator transition of LaAlO₃-SrTiO₃ interfaces*. Applied Physics Letters Bd. 96, S. 183504, 2010.
- [118] H.-S. P. Wong. *Beyond the conventional transistor*. IBM Journal of Research and Developement Bd. 46, S. 133 , 2002.
- [119] K. Cheng, A. Khakifirooz, P. Kulkarni, S. Kanakasabapathy, S. Schmitz, A. Reznicek, T. Adam, Y. Zhu, J. Li, J. Faltermeier, T. Furukawa, L. Edge, B. Haran, S.-C. Seo, P. Jamison, J. Holt, X. Li, R. Loesing, Z. Zhu, R. Johnson, A. Upham, T. Levin, M. Smalley, J. Herman, M. Di, J. Wang, D. Sadana, P. Kozlowski, H. Bu, B. Doris

- und J. O'Neill. *Fully depleted extremely thin SOI technology fabricated by a novel integration scheme featuring implant-free, zero-silicon-loss, and faceted raised source/drain*. 2009 Symposium on VLSI Technology, S. 212 –213, 2009.
- [120] U. Tietze und C. Schenk. *Halbleiter-Schaltungstechnik*. Springer-Verlag, 1993.
- [121] M.-W. Chu, I. Szafraniak, R. Scholz, C. Harnagea, D. Hesse, M. Alexe und U. Gösele. *Impact of misfit dislocations on the polarization instability of epitaxial nanostructured ferroelectric perovskites*. Nature Materials Bd. 3, S. 87, 2004.
- [122] Y. S. Kim, D. H. Kim, J. D. Kim, Y. J. Chang, T. W. Noh, J. H. Kong, K. Char, Y. D. Park, S. D. Bu, J. G. Yoon und J. S. Chung. *Critical thickness of ultrathin ferroelectric BaTiO₃ films*. Applied Physics Letters Bd. 86, S. 102907, 2005.
- [123] X. Liu, Y. Wang, P. V. Lukashev, J. D. Burton und E. Y. Tsymbal. *Interface dipole effect on thin film ferroelectric stability: First-principles and phenomenological modeling*. Physical Review B Bd. 85, S. 125407, 2012.
- [124] H. Lu, X. Liu, J. D. Burton, C.-W. Bark, Y. Wang, Y. Zhang, D. J. Kim, A. Stamm, P. Lukashev, D. A. Felker, C. M. Folkman, P. Gao, M. S. Rzchowski, X. Q. Pan, C.-B. Eom, E. Y. Tsymbal und A. Gruverman. *Enhancement of ferroelectric polarization stability by interface engineering*. Advanced Materials Bd. 24, S. 1209–1216, 2012.
- [125] H. Tabata, H. Tanaka und T. Kawai. *Formation of artificial BaTiO₃/SrTiO₃ superlattices using pulsed laser deposition and their dielectric properties*. Applied Physics Letters Bd. 65, S. 1970, 1994.
- [126] T. Günter, A. Rubano, D. Paparo, M. Lilienblum, L. Marrucci, F. Miletto Granozio, U. Scotti di Uccio, R. Jany, C. Richter, J. Mannhart und M. Fiebig. *Spatial inhomogeneities at the LaAlO₃/SrTiO₃ interface: Evidence from second harmonic generation*. Physical Review B Bd. 86, S. 235418, 2012.
- [127] A. Savoia, D. Paparo, P. Perna, Z. Ristic, M. Salluzzo, F. Miletto Granozio, U. Scotti di Uccio, C. Richter, S. Thiel, J. Mannhart und L. Marrucci. *Polar catastrophe and electronic reconstructions at the LaAlO₃/SrTiO₃ interface: Evidence from optical second harmonic generation*. Physical Review B Bd. 80, S. 075110, 2009.
- [128] A. Rubano, M. Fiebig, D. Paparo, A. Marino, D. Maccariello, U. Scotti di Uccio, F. Miletto Granozio, L. Marrucci, C. Richter, S. Paetel und J. Mannhart. *Spectral and spatial distribution of polarization at the LaAlO₃/SrTiO₃ interface*. Physical Review B Bd. 83, S. 155405, 2011.
- [129] S. Seri, M. Schultz und L. Klein. *Interplay between sheet resistance increase and magnetotransport properties in LaAlO₃/SrTiO₃*. Physical Review B Bd. 86, S. 085118, 2012.
- [130] C. Richter. *Experimental investigation of electronic and magnetic properties of LaAlO₃-SrTiO₃-interfaces*. Dissertation, Universität Augsburg, 2012.

- [131] M. Rössle, K. W. Kim, A. Dubroka, P. Marsik, C. N. Wang, R. Jany, C. Richter, J. Mannhart, C. W. Schneider, A. Frano, P. Wochner, Y. Lu, B. Keimer, D. K. Shukla, J. Strempfer und C. Bernhard. *Electric-field-induced pyroelectric order and localization of the confined electrons in LaAlO₃/SrTiO₃ heterostructures*. arXiv:1209.4739 , 2012.
- [132] M. Rössle, K. W. Kim, A. Dubroka, P. Marsik, C. N. Wang, R. Jany, C. Richter, J. Mannhart, C. W. Schneider, A. Frano, P. Wochner, Y. Lu, B. Keimer, D. K. Shukla, J. Strempfer und C. Bernhard. *Electric-field-induced polar order and localization of the confined electrons in LaAlO₃/SrTiO₃ heterostructures*. Physical Review Letters , akzeptiert 14.01.2013.
- [133] M. S. Rössle. *Infrared ellipsometry study of the lattice and charge dynamics in bulk SrTiO₃, thin SrTiO₃ films, and LAO₃/STO₃ heterostructures*. Dissertation, Universität Freiburg (Schweiz), 2012.

Lebenslauf

Persönliche Daten

Name	Rainer Jany
Geburt	11.02.1982 in Schwabmünchen
Staatsangehörigkeit	deutsch

Schulische Ausbildung

1988–1992	St. Ulrich Grundschule Schwabmünchen
1992–2002	Leonhard-Wagner-Gymnasium Schwabmünchen

Zivildienst

08/2002–04/2003	Malteser Hilfsdienst, Augsburg
-----------------	--------------------------------

Studium

10/2003–07/2009	Studium der Physik an der Universität Augsburg Abschluss mit Diplom
-----------------	--

Promotion

seit 07/2010	Wissenschaftlicher Mitarbeiter am Lehrstuhl Experimentalphysik 6 der Universität Augsburg
--------------	---